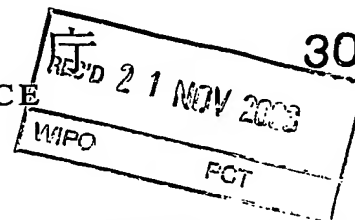


#2  
Rec'd PCT/JP 29 APR 2005

PCT/JP03/13931

日本国特許  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年10月31日

出願番号  
Application Number: 特願2002-319151  
[ST. 10/C]: [JP2002-319151]

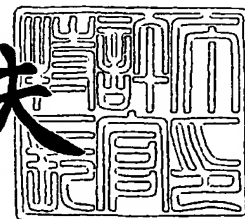
出願人  
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 7月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



Best Available Copy

出証番号 出証特2003-3059663

【書類名】 特許願

【整理番号】 34002200

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 19/0185  
H03K 19/0175

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 野村 昌弘

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100084250

【弁理士】

【氏名又は名称】 丸山 隆夫

【電話番号】 03-3590-8902

【手数料の表示】

【予納台帳番号】 007250

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9303564

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レベル変換回路

【特許請求の範囲】

【請求項 1】 第 1 の電源が供給される第 1 の論理回路の信号レベルを、第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路の GND 電源端子（接地電源端子）と、GND 電源（接地電源）との間に第 1 の電源の制御に応じて制御信号を生成する第 3 の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第 3 の論理回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とするレベル変換回路。

【請求項 2】 第 1 の電源が供給される第 1 の論理回路の信号レベルを、第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路の電源端子と第 2 の電源との間に第 1 の電源の制御に応じて制御信号を生成する第 3 の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第 3 の論理回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とするレベル変換回路。

【請求項 3】 前記レベル変換コア回路は、2 以上の p-MOS からなる p-MOS クロスカップルラッチと、2 以上の n-MOS からなる差動 n-MOS とからなり、

前記 p-MOS は、前記第 2 の電源端子にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が接続され、

前記 n-MOS は、クロスカップルラッチと前記 GND 電源端子とに各ソース端子が、前記レベル変換出力に前記各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続されたことを特徴とする請求項 1 または 2 に記載のレベル変換回路。

【請求項 4】 前記レベル変換コア回路は、

前記第 2 の電源に各ソース端子が、各レベル変換出力に各ゲート端子が接続された 2 以上の p-MOS からなる p-MOS クロスカップルラッチと、

前記p-MOS の各ドレイン端子に前記他のp-MOS のソース端子が、各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上のp-MOS スイッチと、

GND 電源端子に各ソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力にそれぞれのゲート端子が接続された2以上のn-MOS からなる差動n-MOS スイッチと、

からなっていることを特徴とする請求項1または2に記載のレベル変換回路。

【請求項5】 前記プルアップおよび／またはプルダウン回路はプルダウン回路であり、当該プルダウン回路は、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力の少なくとも一方にドレイン端子が接続された1つまたは2以上のn-MOS を有することを特徴とする請求項1または2に記載のレベル変換回路。

【請求項6】 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力に前記第2の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路と、レベル変換コア回路の電源端子と第2の電源の間に配置され第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第3の論理回路からの制御信号により制御することを特徴とするレベル変換回路。

【請求項7】 前記第3の論理回路は、前記制御回路を前記第3の論理回路からの制御信号により制御し、前記制御回路は、前記プルアップおよび／またはプルダウン回路と、前記レベル変換コア回路とを制御する制御信号を出力することを特徴とする請求項8に記載のレベル変換回路。

【請求項8】 さらに前記制御回路は、

前記プルアップおよび／またはプルダウン回路を制御する制御信号を出力して前記プルアップおよび／またはプルダウン回路を制御することを特徴とする請求



項 7 に記載のレベル変換回路。

【請求項 9】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、制御信号にゲート端子が、前記各レベル変換コア出力にドレイン端子が各々接続された 2 以上の p-MOS を用いることを特徴とする請求項 1、3 または 8 のいずれか 1 項に記載のレベル変換回路。

【請求項 10】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続された p-MOS と、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力他方にドレイン端子が、各々接続された n-MOS とを用いることを特徴とする請求項 1、3 または 8 のいずれか 1 項に記載のレベル変換回路。

【請求項 11】 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とし前記プルダウン回路と前記レベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路と前記プルダウン回路とを前記第 3 の論理回路からの制御信号により制御することを特徴とするレベル変換回路。

【請求項 12】 前記 NAND 回路は、CMOS 回路構成であり、前記レベル変換入力信号が接続される p-MOS トランジスタは、少なくともチャネル幅／チャネル長の比が小さいかまたは閾値が高いトランジスタからなっていることを特徴とする請求項 11 記載のレベル変換回路。

【請求項 13】 前記 NAND 回路は、CMOS 回路構成であり、前記第 3 の論理回路の制御信号出力が接続される n-MOS のソース端子が GND 電源に接続されることを特徴とする請求項 11 記載のレベル変換回路。

【請求項 14】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される 2 以上の p-MOS と

、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上のn-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される 2 以上のp-MOS を付加していることを特徴とする請求項 7 記載のレベル変換回路。

【請求項 15】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS の各ドレイン端子が接続される 2 以上のp-MOS と、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上のn-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS を付加していることを特徴とする請求項 7 記載のレベル変換回路。

【請求項 16】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に各ドレイン端子が接続される 2 以上のp-MOS と、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上のn-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS と、前記GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続されるn-MOS とが付加されていることを特徴とする請求項 7 記載のレベル変換回路。

【請求項 17】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される 2 以上のp-MOS と、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上のn-MOS からなり、前記GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転

信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるn-MOS とが付加されていることを特徴とする請求項7記載のレベル変換回路。

【請求項18】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路からなり、前記NAND回路の出力信号を制御信号として出力していることを特徴とする請求項7記載のレベル変換回路。

【請求項19】 さらに前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される2以上のp-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される2以上のp-MOS を付加されることを特徴とする請求項18記載のレベル変換回路。

【請求項20】 さらに前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上のp-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS が付加されることを特徴とする請求項18記載のレベル変換回路。

【請求項21】 前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上のp-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS と、

前記GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその

反転にゲート端子が、前記レベル変換出力のもう一方にドレイン端子が接続される n-MOS とが付加されることを特徴とする請求項 18 記載のレベル変換回路。

【請求項 22】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される 2 以上の p-MOS からなり、前記 GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される n-MOS とが付加されることを特徴とする請求項 18 記載のレベル変換回路。

【請求項 23】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給されそれぞれの前記 NAND 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 7 記載のレベル変換回路。

【請求項 24】 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS が付加されていることを特徴とする請求項 18 記載のレベル変換回路。

【請求項 25】 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS が付加されていることを特徴とする請求項 23 記載のレベル変換回路。

【請求項 26】 前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上のn-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS と、前記GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続されるn-MOS とが付加されていることを特徴とする請求項 23 記載のレベル変換回路。

【請求項 27】 前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上のn-MOS からなり、前記GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続されるn-MOS が付加されていることを特徴とする請求項 23 記載のレベル変換回路。

【請求項 28】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記第 2 の電源が供給されそれぞれの前記NOR 回路出力を入力とするインバータ 2 以上からなり、前記NOR 回路 2 以上と前記インバータ 2 以上のそれぞれの出力信号を制御信号として出力されることを特徴とする請求項 14 乃至 17 のいずれか 1 項に記載のレベル変換回路。

【請求項 29】 前記NOR 回路は、CMOS回路構成であり、前記レベル変換入力信号が接続されるp-MOS はチャネル幅／チャネル長の比が小さいか、または、閾値の極性は負で絶対値の大きいトランジスタからなっていることを特徴とする請求項 28 記載のレベル変換回路。

【請求項 30】 前記NOR 回路は、CMOS回路構成であり、前記第 3 の論理回路からの制御信号またはその反転信号が電源側のp-MOS に接続されることを特徴

とする請求項 28 記載のレベル変換回路。

【請求項 31】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され、前記各 NOR 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 19～22 のいずれか 1 項に記載のレベル変換回路。

【請求項 32】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする第 1 の NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする第 2 の NOR 回路からなり、前記第 1 及び第 2 の NOR 回路の各出力信号を制御信号として出力していることを特徴とする請求項 24～27 のいずれか 1 項に記載のレベル変換回路。

【請求項 33】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され各前記 NAND 回路出力を入力とする 2 以上のインバータからなり、前記 AND-NOR と NAND 回路と前記インバータの出力信号を制御信号として出力していることを特徴とする請求項 8 記載のレベル変換回路。

【請求項 34】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、

前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする請求項 8 または 10 記載のレベル変換回路。

【請求項 35】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路からなり、前記 AND-NOR と NAND 回路の各出力信号を制御信号として出力していることを特徴とする請求項 8 記載のレベル変換回路。

【請求項 36】 前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS からなることを特徴とする請求項 35 記載のレベル変換回路。

【請求項 37】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記各 NAND 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 8 記載のレベル変換回路。

【請求項 38】 前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする請求項 37 記載のレベル変換回路。

【請求項 39】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論

理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記第2の電源が供給され前記各NOR 回路出力を入力とする2以上のインバータからなり、前記OR-NAND 回路と前記NOR 回路と前記インバータの各出力信号を制御信号として出力することを特徴とする請求項34記載のレベル変換回路。

【請求項40】 前記OR-NAND 回路は、CMOS回路構成であり、前記レベル変換入力信号が接続されるp-MOS はチャネル幅／チャネル長の比が小さいかまたは、閾値の極性は負で絶対値が高いかの少なくとも1つの条件を有することを特徴とする請求項39記載のレベル変換回路。

【請求項41】 前記OR-NAND 回路は、CMOS回路構成であり、前記第3の論理回路からの制御信号がGND 電源側のn-MOS に接続されることを特徴とする請求項39記載のレベル変換回路。

【請求項42】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするOR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記第2の電源が供給され前記各NOR 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項36記載のレベル変換回路。

【請求項43】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするOR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記OR-NAND 回路とNOR 回路の各出力信号を制御信号として出力していることを特徴とする請求項38記載のレベル変換回路。

【請求項44】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第2の電源



が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路とからなり、前記 AND-NOR の各出力信号を制御信号として出力していることを特徴とする請求項 3 6 記載のレベル変換回路。

【請求項 4 5】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記各 OR-NAND 回路出力を入力とするインバータ 2 以上からなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 3 6 記載のレベル変換回路。

【請求項 4 6】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記各 AND-NOR 回路出力を入力とする 2 以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする請求項 3 8 記載のレベル変換回路。

【請求項 4 7】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記 OR-NAND 回路の各出力信号を制御信号として出力していることを特徴とする請求項 3 8 記載のレベル変換回路。

【請求項 4 8】 前記レベル変換コア回路は、前記第 2 の電源に各ソース端子が、前記各レベル変換出力に他の p-MOS のゲート端子が接続された 2 以上の前

記p-MOS からなるp-MOS クロスカップルラッチと、前記p-MOS のドレイン端子の各々のソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上のp-MOS スイッチと、GND 電源に各ソース端子が、前記各レベル変換出力にドレイン端子が、レベル変換入力に各々のゲート端子が接続された2以上のn-MOS からなる差動n-MOS スイッチとなっていることを特徴とする請求項47に記載のレベル変換回路。

【請求項49】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第1のNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第2のNAND回路と、前記第2の電源が供給され前記各NAND回路出力を入力とする2以上のインバータからなり、前記第1及び第2のNAND回路と前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項14～17、19～22または24～27のいずれか1項記載のレベル変換回路。

【請求項50】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記第2の電源が供給され前記各NOR 回路出力を入力とするインバータ2以上からなり、前記NOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記NOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項14～17、19～22または24～27のいずれか1項に記載のレベル変換回路。

【請求項51】 前記スイッチ回路は、GND 電源にソース端子が、制御信号にゲート端子が、前記レベル変換コア回路のGND 電源端子にドレイン端子が、各々接続されたn-MOS を有することを特徴とする請求項1、3、8～11のいずれ

か1項に記載のレベル変換回路。

【請求項52】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給されそれぞれの前記NAND回路出力を入力とする2以上のインバータからなり、前記AND-NOR回路とNAND回路と前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項34記載のレベル変換回路。

【請求項53】 前記OR-NAND回路とNOR回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記OR-NAND回路とNOR回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項39に記載のレベル変換回路。

【請求項54】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第1のAND-NOR回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第2のAND-NOR回路と、前記第2の電源が供給され前記第1および第2の各AND-NOR回路の出力を入力とする2以上のインバータからなり、前記第1及び第2のAND-NOR回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOSのドレイン端子が接続される2以上のp-MOSからなることを特徴とする請求項8記載のレベル変換回路。

【請求項55】 前記制御回路は、前記第2の電源が供給され前記レベル変

換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1のOR-NAND回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2のOR-NAND回路と、前記第2の電源が供給され前記第1及び第2の各OR-NAND回路出力を入力とする2以上のインバータからなり、前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記OR-NAND回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOSのドレイン端子が接続される2以上のp-MOSからなることを特徴とする請求項8記載のレベル変換回路。

【請求項56】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR回路と、前記第2の電源が供給され前記各AND-NOR回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記GND電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOSからなることを特徴とする請求項14～6、または7～9のいずれか1項に記載のレベル変換回路。

【請求項57】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1のOR-NAND回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第

3 の論理回路の制御出力を入力とする第 2 の OR-NAND 回路からなり、前記第 1 及び第 2 の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする請求項 4～9 のいずれか 1 項に記載のレベル変換回路。

【請求項 58】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする AND-NOR 回路と、前記第 2 の電源が供給され前記各 AND-NOR 回路出力を入力とするインバータ 2 以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項 4～9 のいずれか 1 項に記載のレベル変換回路。

【請求項 59】 前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路からなり、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項 4～7 または 9～11 のいずれか 1 項に記載のレベル変換回路。

【請求項 60】 前記レベル変換コア回路は、2 以上の第 1 の p-MOS からなる p-MOS クロスカップルラッチと、2 以上の n-MOS からなる差動 n-MOS と、第 2 の 2 以上の p-MOS と、からなり、

前記 p-MOS クロスカップルラッチは、前記第 2 の電源にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が、それぞれ接続され、

前記差動n-MOS は、前記GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続され、

前記第2のp-MOS は、前記第2の電源に各ドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が、各々接続されたことを特徴とする請求項1、3、8、58または59のいずれか1項に記載のレベル変換回路。

【請求項61】 第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、

レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力としプルダウン回路とレベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路も前記第3の論理回路からの制御信号を接続したことを特徴とするレベル変換回路。

【請求項62】 前記制御回路は、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1のOR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2のOR-NAND 回路からなり、前記第1及び第2のOR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなることを特徴とする請求項61記載のレベル変換回路。

【請求項63】 前記制御回路は、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1のOR-NAND 回路と、前記第2の

電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2のOR-NAND回路からなり、前記第1及び第2のOR-NAND回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記OR-NAND回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、

前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記GND電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOSからなることを特徴とする請求項61記載のレベル変換回路。

【請求項64】 前記スイッチ回路は、第2の電源にソース端子が、制御信号またはその反転信号にゲート端子が、前記レベル変換コア回路の電源端子にドレイン端子が接続されたp-MOSを用いたことを特徴とする請求項2、7～9または61のいずれか1項に記載のレベル変換回路。

【請求項65】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする2以上のNOR回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路とからなり、前記NOR回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする請求項3、5、6または61のいずれか1項に記載のレベル変換回路。

【請求項66】 前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする2以上のNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給され前記各NAND回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする請求項3、11、12または61のいずれか1項に記載のレベル変換回路。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明はレベル変換回路に関し、特に、第1の電源を制御する際にリーク電流特性を改良したレベル変換回路に関する。

**【0002】****【従来の技術】**

レベル変換回路は、2以上の電源を有するシステムLSI内で利用され、たとえば、図83に示すように、特許文献1等で提案されたレベル変換回路が知られている。近年、レベル変換回路は、システムLSIのリーク電流削減のため、不使用ブロックへの電源供給のオフに対応することが要求されている。

この要求に応えるために、例えば、特許文献2に開示されているような、レベル変換の出力側にプルダウン回路を設け、p-MOS クロスカップルラッチを固定し、リーク電流を防止することが提案されている。

この文献に開示された手法は、この文献の図1 (Fig.1) に示すように、一方のレベル変換の出力側にドレイン端子を、もう一方にゲート端子を、GNDにソース端子をそれぞれ接続したn-MOSを用いている。

**【0003】****【特許文献1】**

特開昭63-152220号公報

**【特許文献2】**

米国特許第5,669,684号明細書

**【0004】****【発明が解決しようとする課題】**

しかしながら、前記した米国特許に開示された技術では、第1の電源がオフして、レベル変換入力信号が不定となった場合に、レベル変換回路のp-MOS クロスカップルラッチのオン側に接続されるn-MOSのゲート端子がn-MOSの閾値を超える可能性がある。

この場合、第2の電源とGND電源間に導通パスができるため、貫通電流が流れ



るという問題がある。

【0005】

また、第1の電源がオンして、入力信号が保持状態に反転している場合には、電源レベルが所定のレベルに上がり、レベル変換出力が切り換わるまで、貫通電流が流れるという問題がある。

さらに、追加したn-MOS はレベル変換回路のp-MOS クロスカップルラッチの状態保持機能を補強する役割を果たす。このため、レベル変換遅延が増加し、特に、第1の電源と第2の電源の電位差が大きくなった場合には、レベル変換動作マージンが無くなり、レベル変換動作ができなくなる。すなわち、入力信号が変化しても所望する出力が変化できなくなるという問題点もある。

【0006】

本発明の目的は第1の電源を制御しても貫通電流の発生を抑制可能でレベル変換動作時の遅延増加も抑制可能な機能を有したレベル変換回路を提供することにある。

【0007】

【課題を解決するための手段】

請求項1に記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のGND 電源端子（接地電源端子）と、GND 電源（接地電源）との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とする。

【0008】

請求項2に記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを、第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路の電源端子と第2の電源との間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理

回路により制御されるプルアップおよび／またはプルダウン回路を設けることを特徴とする。

#### 【0009】

請求項3記載のレベル変換回路の発明は、請求項1または2において、前記レベル変換コア回路は、2以上のp-MOS からなるp-MOS クロスカップルラッチと、2以上のn-MOS からなる差動n-MOS とからなり、前記p-MOS は、前記第2の電源端子にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が接続され、前記n-MOS は、クロスカップルラッチと前記GND 電源端子とに各ソース端子が、前記レベル変換出力に前記各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続されたことを特徴とする。

#### 【0010】

請求項4記載のレベル変換回路の発明は、請求項1または2において、前記レベル変換コア回路は、前記第2の電源に各ソース端子が、各レベル変換出力に各ゲート端子が接続された2以上のp-MOS からなるp-MOS クロスカップルラッチと、前記p-MOS の各ドレイン端子に前記他のp-MOS のソース端子が、各レベル変換入力に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された2以上のp-MOS スイッチと、GND 電源端子に各ソース端子が、前記レベル変換出力にそれぞれのドレイン端子が、レベル変換入力にそれぞれのゲート端子が接続された2以上のn-MOS からなる差動n-MOS スイッチと、からなっていることを特徴とする。

#### 【0011】

請求項5記載のレベル変換回路の発明は、請求項1または2において、前記プルアップおよび／またはプルダウン回路はプルダウン回路であり、当該プルダウン回路は、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力の少なくとも一方にドレイン端子が接続された1つまたは2以上のn-MOS を有することを特徴とする。

#### 【0012】

請求項6記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換

するレベル変換回路において、レベル変換コア回路のレベル変換出力に前記第 2 の電源が供給されるプルアップおよび／またはプルダウン回路と、前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とする制御回路と、レベル変換コア回路の電源端子と第 2 の電源の間に配置され第 1 の電源の制御に応じて制御信号を生成する第 3 の論理回路により制御されるスイッチ回路とを有し、前記制御回路を前記第 3 の論理回路からの制御信号により制御することを特徴とする。

#### 【0013】

請求項 7 記載のレベル変換回路の発明は、請求項 6 において、前記第 3 の論理回路は、前記制御回路を前記第 3 の論理回路からの制御信号により制御し、前記制御回路は、前記プルアップおよび／またはプルダウン回路と、前記レベル変換コア回路とを制御する制御信号を出力することを特徴とする。

#### 【0014】

請求項 8 記載のレベル変換回路の発明は、請求項 5 において、さらに前記制御回路は、前記プルアップおよび／またはプルダウン回路を制御する制御信号を出力して前記プルアップおよび／またはプルダウン回路を制御することを特徴とする。

#### 【0015】

請求項 9 記載のレベル変換回路の発明は、請求項 1、3 または 6 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、制御信号にゲート端子が、前記各レベル変換コア出力にドレイン端子が各々接続された 2 以上の p-MOS を用いることを特徴とする。

#### 【0016】

請求項 10 記載のレベル変換回路の発明は、請求項 1、3 または 8 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続された p-MOS と、GND 電源にソースが、制御信号の反転信号にゲート端子が、前記レベル変換出力他方にドレイン端子が、各々接続された n-MOS とを用いることを特徴とする。

## 【0017】

請求項11記載のレベル変換回路の発明は、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第2の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力とし前記プルダウン回路と前記レベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路と前記プルダウン回路とを前記第3の論理回路からの制御信号により制御することを特徴とする。

## 【0018】

請求項12記載のレベル変換回路の発明は、請求項11において、前記NAND回路は、CMOS回路構成であり、前記レベル変換入力信号が接続されるp-MOS トランジスタは、少なくともチャネル幅／チャネル長の比が小さいかまたは閾値が高いトランジスタからなっていることを特徴とする。

## 【0019】

請求項13記載のレベル変換回路の発明は、請求項11において、前記NAND回路は、CMOS回路構成であり、前記第3の論理回路の制御信号出力が接続されるn-MOS のソース端子がGND 電源に接続されることを特徴とする。

## 【0020】

請求項14記載のレベル変換回路の発明は、請求項5において、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS の各ドレイン端子が接続される2以上のp-MOS と、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される2以上のp-MOS を付加していることを特徴とする。

## 【0021】

請求項15記載のレベル変換回路の発明は、請求項5において、前記プルアッ

ブおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS の各ドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS を付加していることを特徴とする。

#### 【0022】

請求項 16 記載のレベル変換回路の発明は、請求 7 において、前記プリアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に各ドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS と、前記 GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続される n-MOS とが付加されていることを特徴とする。

#### 【0023】

請求項 17 記載のレベル変換回路の発明は、請求項 5 において、前記プリアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS と、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなり、前記 GND 電源にソース端子が、前記第 3 の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される n-MOS とが付加されていることを特徴とする。

#### 【0024】

請求項 18 記載のレベル変換回路の発明は、請求項 5 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする NAND 回路からなり、前記 NAND 回路の出力信号を制御信号として出力していることを特徴とする。

#### 【0025】

請求項 19 記載のレベル変換回路の発明は、請求項 18 において、さらに前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他の p-MOS のドレイン端子が接続される 2 以上の p-MOS を付加されることを特徴とする。

#### 【0026】

請求項 20 記載のレベル変換回路の発明は、請求項 18 において、さらに前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される 2 以上の p-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続される p-MOS が付加されることを特徴とする。

#### 【0027】

請求項 21 記載のレベル変換回路の発明は、請求項 18 において、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される 2 以上の p-MOS からなり、前記第 2 の電源にソース端子が、前記第 3 の論理回路からの制御信号にゲート端子が、前記レ

ベル変換出力の一方にドレイン端子が接続されるp-MOS と、前記GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転にゲート端子が、前記レベル変換出力のもう一方にドレイン端子が接続されるn-MOS とが付加されることを特徴とする。

#### 【0028】

請求項22記載のレベル変換回路の発明は、請求項18において、前記プルアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号にそれぞれのゲート端子が、前記レベル変換出力それぞれにそれぞれのドレイン端子が接続される2以上のp-MOS からなり、前記GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるn-MOS とが付加されることを特徴とする。

#### 【0029】

請求項23記載のレベル変換回路の発明は、請求項5において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給されそれぞれの前記NAND回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

#### 【0030】

請求項24記載のレベル変換回路の発明は、請求項18において、前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される2以上のp-MOS が付加されていることを特徴とする。

## 【0031】

請求項25記載のレベル変換回路の発明は、請求項23において、前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS が付加されていることを特徴とする。

## 【0032】

請求項26記載のレベル変換回路の発明は、請求項23において、前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなり、前記第2の電源にソース端子が、前記第3の論理回路からの制御信号にゲート端子が、前記レベル変換出力の一方にドレイン端子が接続されるp-MOS と、前記GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続されるn-MOS とが付加されていることを特徴とする。

## 【0033】

請求項27記載のレベル変換回路の発明は、請求項23において、前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなり、前記GND 電源にソース端子が、前記第3の論理回路からの制御信号またはその反転信号にゲート端子が、前記レベル変換出力の他方にドレイン端子が接続されるn-MOS が付加されていることを特徴とする。

## 【0034】

請求項28記載のレベル変換回路の発明は、請求項14乃至17において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR 回路と、前記第2の電源が供給され前記レベル変換入



力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路と、前記第2の電源が供給されそれぞれの前記NOR回路出力を入力とするインバータ2以上からなり、前記NOR回路2以上と前記インバータ2以上のそれぞれの出力信号を制御信号として出力されることを特徴とする。

#### 【0035】

請求項29のレベル変換回路の発明は、請求項28において、前記NOR回路は、CMOS回路構成であり、前記レベル変換入力信号が接続されるp-MOSはチャネル幅／チャネル長の比が小さいか、または、閾値の極性は負で絶対値の大きいトランジスタからなっていることを特徴とする。

#### 【0036】

請求項30のレベル変換回路の発明は、請求項28において、前記NOR回路は、CMOS回路構成であり、前記第3の論理回路からの制御信号またはその反転信号が電源側のp-MOSに接続されることを特徴とする。

#### 【0037】

請求項31のレベル変換回路の発明は、請求項19～22において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路と、前記第2の電源が供給され、前記各NOR回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

#### 【0038】

請求項32のレベル変換回路の発明は、請求項24～27において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第1のNOR回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の

制御出力またはその反転信号を入力とする第2のNOR回路からなり、前記第1及び第2のNOR回路の各出力信号を制御信号として出力していることを特徴とする。

#### 【0039】

請求項33のレベル変換回路の発明は、請求項6において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給され各前記NAND回路出力を入力とする2以上のインバータからなり、前記AND-NORとNAND回路と前記インバータの出力信号を制御信号として出力していることを特徴とする。

#### 【0040】

請求項34のレベル変換回路の発明は、請求項6または8において、前記プリアップおよび／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOSのドレイン端子が接続される2以上のp-MOSと、前記GND電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOSからなることを特徴とする。

#### 【0041】

請求項35のレベル変換回路の発明は、請求項6において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路からなり、前記AND-NORとNAND回路の各出力信号を制御信号として出力していることを特徴とする。

#### 【0042】

請求項36のレベル変換回路の発明は、請求項35において、前記プリアップ

および／またはプルダウン回路は、前記第2の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOSのドレイン端子が接続される2以上のp-MOSからなることを特徴とする。

#### 【0043】

請求項37のレベル変換回路の発明は、請求項6において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給され前記各NAND回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

#### 【0044】

請求項38のレベル変換回路の発明は、請求項37において、前記プルアップおよび／またはプルダウン回路は、前記GND電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOSからなることを特徴とする。

#### 【0045】

請求項39のレベル変換回路の発明は、請求項34において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするOR-NAND回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路と、前記第2の電源が供給され前記各NOR回路出力を入力とする2以上のインバータからなり、前記OR-NAND回路と前記NOR回路と前記インバータの各出力信号を制御信号として出力することを特徴とする。

#### 【0046】

請求項40のレベル変換回路の発明は、請求項39において、前記OR-NAND回路は、CMOS回路構成であり、前記レベル変換入力信号が接続されるp-MOSはチャ

ネル幅／チャネル長の比が小さいかまたは、閾値の極性は負で絶対値が高いかの少なくとも1つの条件を有することを特徴とする。

【0047】

請求項41のレベル変換回路の発明は、請求項39において、前記OR-NAND回路は、CMOS回路構成であり、前記第3の論理回路からの制御信号がGND電源側のn-MOSに接続されることを特徴とする。

【0048】

請求項42のレベル変換回路の発明は、請求項36において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするOR-NAND回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路と、前記第2の電源が供給され前記各NOR回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

【0049】

請求項43のレベル変換回路の発明は、請求項38において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするOR-NAND回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路と、前記OR-NAND回路とNOR回路の各出力信号を制御信号として出力していることを特徴とする。

【0050】

請求項44のレベル変換回路の発明は、請求項36において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力

またはその反転信号を入力とするAND-NOR 回路とからなり、前記AND-NOR の各出力信号を制御信号として出力していることを特徴とする。

【0051】

請求項45のレベル変換回路の発明は、請求項36において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするOR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とするOR-NAND 回路と、前記第2の電源が供給され前記各OR-NAND 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

【0052】

請求項46のレベル変換回路の発明は、請求項38において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第2の電源が供給され前記各AND-NOR 回路出力を入力とする2以上のインバータからなり、前記インバータの各出力信号を制御信号として出力していることを特徴とする。

【0053】

請求項47のレベル変換回路の発明は、請求項38において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするOR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とするOR-NAND 回路と、前記OR-NAND 回路の各出力信号を制御信号として出力していることを特徴とする。

【0054】

請求項 4 8 のレベル変換回路の発明は、請求項 4 7 において、前記レベル変換コア回路は、前記第 2 の電源に各ソース端子が、前記各レベル変換出力に他の p-MOS のゲート端子が接続された 2 以上の前記 p-MOS からなる p-MOS クロスカップルラッチと、前記 p-MOS のドレイン端子の各々のソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続された 2 以上の p-MOS スイッチと、GND 電源に各ソース端子が、前記各レベル変換出力にドレイン端子が、レベル変換入力に各々のゲート端子が接続された 2 以上の n-MOS からなる差動 n-MOS スイッチとなっていることを特徴とする。

#### 【 0 0 5 5 】

請求項 4 9 のレベル変換回路の発明は、請求項 1 4 ~ 1 7、1 9 ~ 2 2 または 2 4 ~ 2 7 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする第 1 の NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする第 2 の NAND 回路と、前記第 2 の電源が供給され前記各 NAND 回路出力を入力とする 2 以上のインバータからなり、前記第 1 及び第 2 の NAND 回路と前記 2 以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

#### 【 0 0 5 6 】

請求項 5 0 のレベル変換回路の発明は、請求項 1 4 ~ 1 7、1 9 ~ 2 2 または 2 4 ~ 2 7 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とする NOR 回路と、前記第 2 の電源が供給され前記各 NOR 回路出力を入力とする 2 以上のインバータからなり、前記 NOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 NOR 回路の各出力信号を前記レベル

変換コア回路制御信号として出力していることを特徴とする。

【0057】

請求項51のレベル変換回路の発明は、請求項1、3、6～9において、前記スイッチ回路は、GND 電源にソース端子が、制御信号にゲート端子が、前記レベル変換コア回路のGND 電源端子にドレイン端子が、各々接続されたn-MOS を有することを特徴とする。

【0058】

請求項52のレベル変換回路の発明は、請求項34において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給されそれぞれの前記NAND回路出力を入力とする2以上のインバータからなり、前記AND-NOR 回路とNAND回路と前記2以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

【0059】

請求項53のレベル変換回路の発明は、請求項39において、前記OR-NAND 回路とNOR 回路と前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記OR-NAND 回路とNOR 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする。

【0060】

請求項54のレベル変換回路の発明は、請求項8において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第1のAND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする第2のAND-NOR 回路と、前記第2の電源が

供給され前記第 1 および第 2 の各AND-NOR 回路の出力を入力とする 2 以上のインバータからなり、前記第 1 及び第 2 のAND-NOR 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される 2 以上のp-MOS からなることを特徴とする。

#### 【0061】

請求項 5 5 のレベル変換回路の発明は、請求項 8 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする第 1 のOR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする第 2 のOR-NAND 回路と、前記第 2 の電源が供給され前記第 1 及び第 2 の各OR-NAND 回路出力を入力とする 2 以上のインバータからなり、前記 2 以上のインバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記第 2 の電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記各レベル変換出力に他のp-MOS のドレイン端子が接続される 2 以上のp-MOS からなることを特徴とする。

#### 【0062】

請求項 5 6 のレベル変換回路の発明は、請求項 1 4 ～ 7、または 9 ～ 1 1 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第 2 の電源が供給され前記各AND-NOR 回路出力を入力とするインバータ 2 以上から



なり、前記インバータの各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなることを特徴とする。

#### 【0063】

請求項57のレベル変換回路の発明は、前記制御回路は、請求項4～7または9～11において、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とする第1のOR-NAND 回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする第2のOR-NAND 回路からなり、前記第1及び第2のOR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルアップおよび／またはプルダウン回路は、前記GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される2以上のn-MOS からなることを特徴とする。

#### 【0064】

請求項58のレベル変換回路の発明は、請求項4～7または9～11において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするAND-NOR 回路と、前記第2の電源が供給され前記各AND-NOR 回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

#### 【0065】

請求項 5 9 のレベル変換回路の発明は、請求項 4 ～ 7 または 9 ～ 1 1 において、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする OR-NAND 回路からなり、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とするのいずれか 1 項に記載のレベル変換回路。

#### 【 0 0 6 6 】

請求項 6 0 のレベル変換回路の発明は、前記レベル変換コア回路は、請求項 1 、 3 、 1 0 、 5 9 または 6 0 において、 2 以上の第 1 の p-MOS からなる p-MOS クロスカップルラッチと、 2 以上の n-MOS からなる差動 n-MOS と、第 2 の 2 以上の p-MOS と、からなり、前記 p-MOS クロスカップルラッチは、前記第 2 の電源にソース端子が、ゲート端子に各ドレイン端子であるレベル変換出力が、それぞれ接続され、前記差動 n-MOS は、前記 GND 電源に各ソース端子が、前記レベル変換出力に各ドレイン端子が、レベル変換入力に各ゲート端子が、各々接続され、前記第 2 の p-MOS は、前記第 2 の電源に各ドレイン端子が、前記レベル変換入力に各ゲート端子が、前記レベル変換出力に各ソース端子が、各々接続されたことを特徴とする。

#### 【 0 0 6 7 】

請求項 6 1 のレベル変換回路の発明は、第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するレベル変換回路において、レベル変換コア回路のレベル変換出力にプルダウン回路と、前記第 2 の電源が供給されレベル変換入力信号と前記レベル変換出力信号を入力としプルダウン回路とレベル変換コア回路への制御信号を出力する制御回路とを有し、前記制御回路も前記第 3 の論理回路からの制御信号を接続したことを特徴とする。

#### 【 0 0 6 8 】

請求項 6 2 のレベル変換回路の発明は、前記制御回路は、請求項 6 1 において

、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする第 1 の OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする第 2 の OR-NAND 回路からなり、前記第 1 及び第 2 の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする。

#### 【0069】

請求項 6 3 のレベル変換回路の発明は、請求項 6 1 において、前記制御回路は、前記制御回路は、前記第 2 の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第 3 の論理回路の制御出力を入力とする第 1 の OR-NAND 回路と、前記第 2 の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第 3 の論理回路の制御出力を入力とする第 2 の OR-NAND 回路からなり、前記第 1 及び第 2 の OR-NAND 回路の各出力信号をプルアップおよび／またはプルダウン制御信号として出力し、前記 OR-NAND 回路の各出力信号を前記レベル変換コア回路制御信号として出力しており、前記プルダウン回路は、前記プルアップおよび／またはプルダウン回路は、前記 GND 電源にソース端子が、前記制御回路からの制御信号に各ゲート端子が、前記レベル変換出力に各ドレイン端子が接続される 2 以上の n-MOS からなることを特徴とする。

#### 【0070】

請求項 6 4 のレベル変換回路の発明は、請求項 2、7～9 または 6 1 において、前記スイッチ回路は、第 2 の電源にソース端子が、制御信号またはその反転信号にゲート端子が、前記レベル変換コア回路の電源端子にドレイン端子が接続された p-MOS を用いたことを特徴とする。

## 【0071】

請求項65のレベル変換回路の発明は、請求項3、5、6または61において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力またはその反転信号を入力とする2以上のNOR回路と、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力またはその反転信号を入力とするNOR回路とからなり、前記NOR回路の各出力信号を前記レベル変換コア回路制御信号として出力していることを特徴とする。

## 【0072】

請求項66のレベル変換回路の発明は、請求項3、11、12または61において、前記制御回路は、前記第2の電源が供給され前記レベル変換入力信号の正転信号と前記レベル変換出力信号の反転信号と前記第3の論理回路の制御出力を入力とする2以上のNAND回路と、前記第2の電源が供給され前記レベル変換入力信号の反転信号と前記レベル変換出力信号の正転信号と前記第3の論理回路の制御出力を入力とするNAND回路と、前記第2の電源が供給され前記各NAND回路出力を入力とするインバータ2以上からなり、前記インバータの各出力信号を前記レベル変換コア回路の制御信号として出力していることを特徴とする。

## 【0073】

## 【発明の実施の形態】

添付した図面を参照しながら、本発明を実施の形態により、詳細に説明する。

本発明のレベル変換回路は、レベル変換コア回路のGND電源端子とGND電源の間に制御信号により制御されるスイッチ回路を配置し、レベル変換出力に制御信号により制御されるプルアップおよび／またはプルダウン回路を接続したことを特徴としている。

前記スイッチ回路および前記プルアップおよび／またはプルダウン回路は、それぞれ、第1の電源を制御する際に制御信号により排他的にオフ(オン)し、第1の電源をオフする際は、貫通電流の防止とレベル変換出力信号の固定という動作(作用)を実行する。従って、確実な貫通電流抑制と、レベル変換動作時の遅延

増加抑制という効果が得られる。

#### 【0074】

##### <第1実施形態>

図1に、本発明のレベル変換回路の一実施形態を示す。

本レベル変換回路は、第1の電源(VDDL)が供給される第1の論理回路11の信号レベルを、第2の電源(VDDH)が供給される第2の論理回路12の信号レベルに変換するものであり、このレベル変換回路は、レベル変換コア回路1を有する。

この第1の論理回路11からの第1の電源レベルの信号(データ)(INL, INLB)はレベル変換コア回路1に供給され、第2の電源レベルへの変換を行う(図にレベル変換出力をOUTH, OUTHBで示す)。

#### 【0075】

そして、本発明に係るレベル変換回路の第1の実施形態では、レベル変換コア回路1のGND 電源端子とGND 電源との間に第3の論理回路13からの制御信号(E0)により制御されるスイッチ回路10と、レベル変換出力に接続され第3の論理回路13からの制御信号(E1)により制御されるプルアップおよび／またはプルダウン回路3とが設けられている。このスイッチ回路10とプルアップおよび／またはプルダウン回路3とは、第1の電源(VDDL)を制御する際に、第3の論理回路13によって制御され、第1の電源(VDDL)をオフする時には、あらかじめスイッチ回路10をオフし、またプルアップおよび／またはプルダウン回路3をオンして、レベル変換入力不定时の貫通電流の防止と、レベル変換出力信号の確定とを行う。また、第1の電源(VDDL)をオンする時には、オンされた後に、第1の電源とともにレベル変換入力安定してから、プルアップおよび／またはプルダウン回路3をオフにし、かつスイッチ回路10をオンにして、レベル変換動作を行う。こうして得られたレベル変換出力信号(OUTH, OUTHB)は第2の論理回路12に供給される。

#### 【0076】

図2に、図1のレベル変換回路に使用されるレベル変換コア回路1の構成例を示す。すなわち、本実施形態に使用されるレベル変換コア回路1は、第2の電源(VDDH)端子にソース端子を接続し、レベル変換出力(OUTHB, OUTH)のそれぞれに接

続されたドレイン端子をゲート端子にクロスカップル接続した2以上（図では2）のp-MOS（p-MOS トランジスタのこと。以下、単にp-MOS と記載する。n-MOS トランジスタも同様にn-MOS と表記する。）1101と、レベル変換出力（OUTH B、OUTH）のそれぞれをドレイン端子に接続しINL をゲート端子に接続しGND 電源端子1111をソース端子に接続した n-MOS 1102とからなる。この n-MOS 1102のソース側のGND 電源側1111を共通にした回路図を図2に示す。また、前記 n-MOS 1102のソース側のGND 電源側1111を独立に配線した回路図を図3に示す。

#### 【0077】

図1のレベル変換回路に使用される図4に示すスイッチ回路10は、図3では、前記n-MOS のソース側のGND 側への配線が独立したそれぞれに、図4に示すスイッチ回路10のGND 電源端子側が独立して（並列に）接続されて構成されている。すなわち、図2では、スイッチ回路は1個設けられるが、図3に示すレベル変換コア回路1では、2個（2以上）のスイッチ回路が、レベル変換コア回路1の各n-MOS 毎に並列に接続され、スイッチ回路10を構成する n-MOS 101-1のソース側が、GND（接地）に接続される。この際に、スイッチ回路の n-MOS 101-1のGND への接続1112は、別個に接続するか、あるいは、共通化した（1つに結線した）後に接続することができる。

#### 【0078】

本発明のレベル変換回路の1実施形態に使用されるプルアップ回路3-1は、図5に示すように、以下のように構成されている。すなわち、第2の電源端子(VDDH)をそれぞれのソース端子に接続し、第3の論理回路13からの制御信号E1をそれぞれのゲート端子にレベル変換出力（OUTH: out-high signal, OUTHB: out-high bar signal）のそれぞれを、それぞれのドレイン端子に接続した2以上（2個）の p-MOS 301からなる。このプルアップ回路を用いた本発明の第1実施形態に係るレベル変換回路は、このような構成を採用することによって、前述したのと同様な処理を実行する。

#### 【0079】

図1の各論理回路、特に第3の論理回路13は、第1の電源(VDDL)の制御に応

じて制御信号E0,E1 を出力する機能を有するが、これらの詳細な構成は本発明とは直接関係しないので、説明を省略する。なお、この制御信号E0,E1 を出力する第3の論理回路13等の論理回路の構成は、公知のものを使用することができる。

#### 【0080】

以下、第1実施形態の動作例を説明する。まず、レベル変換コア回路1の動作について、図6に示すタイミングチャートを用いて説明する。差動の電源レベルでのレベル変換動作であるので、レベル変換入力 INL (IN low signal) と INLB (IN low bar signal) は、第1の電源レベルで差動入力され、Highレベルの入力するn-MOS に接続される側の出力 (OUTHまたはOUTHB)がLowに引き落とされ、反対側の出力 (OUTHBまたはOUTH) が第2の電源レベルのHighレベルに引き上げられる。

#### 【0081】

一方、スイッチ回路10とプルアップ／プルダウン回路3とを含むレベル変換回路の動作は、図7に示すタイミングチャートに従って実行される。即ち、第1の電源VDDLがオン状態の時、第3の論理回路13からの制御信号E0,E1 はHighに遷移しており、スイッチ回路10がONの状態であり、プルアップ／プルダウン回路3がOFFの状態であると、図6と同様のレベル変換動作を行う。

#### 【0082】

第1の電源VDDL12をオフに遷移する際、まず、制御信号E0,E1 をLowに切り換え、スイッチ回路10をOFFにし、プルアップ／プルダウン回路3をON状態で、レベル変換回路の貫通電流を防止する一方、レベル変換出力 (OUTH,OUTHB)をそれぞれHighに固定する。

これにより、VDDLをオフにした際にレベル変換入力 (INL, INLB)が不定となっても、貫通電流と出力のばたつき (オン－オフの不定な切り替わり) を防止可能となる。次に第1の電源VDDLをオンする際、まずVDDLをオンして安定した後、制御信号E0,E1 をHighに切り換え、プルアップ／プルダウン回路をOFF、スイッチ回路をONで、レベル変換入力に従い、レベル変換出力の一方 (OUTH) が立ち下がった後、図6と同様にしてレベル変換動作を行う。

## 【0083】

このように、第1の電源VDDLを制御する際に、スイッチ回路10をOFFにし、プルアップ／プルダウン回路3をONに遷移しているので、レベル変換入力の不定に伴う貫通電流と出力のばたつきが防止可能となる。

従って、多電源を有するLSIであっても、不使用ブロックの電源をオフすることによるリーク電流削減を、前記したようにオーバーヘッドを抑制しつつ実現可能とすることができる。

## 【0084】

本実施形態に使用されるプルアップ／プルダウン回路3は、レベル変換出力OUTHだけが第2の論理回路11に接続される場合（たとえば、図8、図10に示すように、OUTHまたはOUTHBのみの出力を入力する場合）、図8に示すように、p-MOS101を1個のみを使用した回路に変更してもよい。さらにレベル変換出力の相補性が必要とされる場合（OUTHとOUTHBの2つの信号の入力が必要であり、かつこれら2つの信号が論理的に反転している場合）には、図9に示すように、プルアップ p-MOS101301が1個とプルダウン n-MOS101302が1個と、n-MOS101302のゲートの前段に設けられる制御信号論理反転用インバータ101303とに変更することもできる。

## 【0085】

さらに、レベル変換出力のOUTHにHigh、又は、OUTHBにLowが必要な場合には、図10に示すように、1つの n-MOS101302と、制御信号反転用インバータ101303とを有するプルダウン回路に変更することもできる。このプルダウン回路を本発明のレベル変換回路のプルアップおよび／またはプルダウン回路として採用した時、第3の論理回路側で反転制御信号を出力する場合には、図10のプルダウン回路のインバータ101303は不要となる。

## 【0086】

本実施形態で使用されるレベル変換コア回路1として、図2または図3に示すレベル変換コア回路1に代えて、図11～16のいずれか1つの回路1に変更することができる。なお図12、図14または図16に示す回路を使用する場合には、GND側への2つに分かれたn-MOSからの出力は、図4に示すスイッチ回路1



0が並列に接続される。その際に、スイッチ回路10の出力側であるGNDへの接続1102は、GNDへの接続を別々に行ってもよく、また、共通化して1つの共通配線としてGNDに接続することもできる。

また、本実施形態において、第3の論理回路の制御信号E0を用いてスイッチ回路を制御しているが、この制御信号E0を用いずに、E1を用いることができ、さらに、これらの反転信号(E0B、E1B)を用いることもできる。なお他の実施形態において、制御信号E0以外のE1あるいはE2制御信号、これらの反転信号(E0B、E1B、E2B)を、適宜用いることもできる。

また本実施形態において、第3の論理回路13からの制御信号のE0を用いてスイッチ回路を制御しているが、この制御信号E0に代えてE1を用いて、制御してもよい。この制御信号の変更も、以下に述べる実施形態でも同様に使用することもでき、また、以下の実施形態において、このE0の代わりにE2を用いて制御してもよい。

#### 【0087】

##### <第2実施形態>

本発明に係るレベル変換回路の第2の実施の形態として、図17に示すように、その基本的構成は、第1実施形態と同様である。すなわち第1実施形態と同様に、レベル変換コア回路1と、プルアップおよび／またはプルダウン回路3とスイッチ回路10とを有している。そして本実施形態では、スイッチ回路10を、第2の電源(VDDH)とレベル変換コア回路1の電源端子との間に設けるとともに、プルアップ／プルダウン回路3をプルダウン回路3-2(たとえば図19または図20)のみに変更することができる。第2実施形態のこのようなレベル変換回路の全体の構成例を図17に示す。このように本実施形態では、スイッチ回路が、レベル変換回路とGNDとの間に設けられる第1実施形態の構成と異なり、スイッチ回路が、VDDHとレベル変換コア回路との間に設けられ、レベル変換コア回路が、第1の論理回路から出力されたINL、INLBを入力し、第2の論理回路へOUTHまたはOUTHBを出力する構成となっている。

#### 【0088】

図18は、図17に示す第2実施形態に係るレベル変換回路に使用されるスイ

ツチ回路 10 の構成例を示す。このスイッチ回路 10 は、レベル変換コア回路 1 の電源端子をドレイン端子に、第 3 の論理回路 13 からの制御信号 E0 のインバータ出力をゲート端子に、第 2 の電源 VDDH をソース端子（図 18 の S 参照）に接続した p-MOS 11001 を有する。

#### 【0089】

また図 19 に示すように、図 17 に示すレベル変換回路に使用されるプルダウン回路 3-2 は以下のように構成されている。すなわち、GND 電源をそれぞれのソース端子に接続し、第 3 の論理回路 13 からの制御信号 E1 のインバータ出力を、それぞれのゲート端子に接続し、レベル変換出力 (OUTH, OUTHB) のそれぞれをそれぞれのドレイン端子に接続した 2 個（2 以上）の n-MOS 301 からなる。

このような構成により、前述した第 1 の実施形態と同様の処理が実行される。

#### 【0090】

本実施形態で使用されるプルダウン回路 3-2 は、レベル変換出力 OUTH だけが第 2 の論理回路に接続される場合には、図 20 に示すプルダウン回路のように、n-MOS 103-201（1 個のみ）とインバータとを用いた回路に変更してもよい。本実施形態で示したように、第 2 の論理回路への制御信号を 1 つ（OUTH または OUTHB のどちらか 1 つ）とする構成を採用することができる。また場合によっては、両方（OUTH および OUTHB）を出力する構成を採用することもできる。なお本実施形態でも第 3 の論理回路からの制御信号 E0 を用いてスイッチ回路を制御しているが、この制御信号 E0 に代えて E1 を用いて、制御してもよい。これは、以下に述べる実施形態でも同様である。またこのように、第 1 実施形態から第 2 実施形態へのスイッチ回路 10 と、レベル変換コア回路 1 との配置構成の変更（スイッチ回路 10 を、第 2 の電源（VDDH）と、レベル変換コア回路 1 との間に設ける変更）は、以下に説明する第 3 から第 7 実施形態でも採用することができる。なお前記 E0、E1 の極性を逆に選択した場合にはインバータは不要となる。

#### 【0091】

##### <第 3 実施形態>

本発明に係るレベル変換回路の第 3 の実施の形態として、第 1 の電源と第 2 の電源の電位差が大きい場合のレベル変換動作マージンをより改善することのでき

るレベル変換回路について、説明する。本実施形態では、第2の電源が供給される制御回路2と第2の電源(VDDH)が供給されるプルアップ／プルダウン回路3との制御について工夫している。その構成例を図21に示す。本図において、第2の電源が供給されるレベル変換入力と、レベル変換出力と第3の論理回路13からの制御信号E2を入力しプルアップ／プルダウン回路3への制御信号(C0, C1, C2, C3)を出力する制御回路2と、第2の電源が供給され制御回路2からの制御信号(C0, C1, C2, C3)と第3の論理回路13からの制御信号E1とを入力し出力をレベル変換出力に接続するプルアップ／プルダウン回路3とを有する。

#### 【0092】

図22に示すように、図21に示すレベル変換回路に使用される制御回路2は以下のように構成されている。すなわち、第2の電源(VDDH)が供給され、INLとOUTHBとE2を入力としC0を出力とする第1のNAND回路103201と、第2の電源が供給されINLBとOUTHとE2を入力としC1を出力とする第2のNAND回路103202と、C0を入力としC3を出力とするインバータ103203と、C1を入力としC2を出力とするインバータ103224とからなる。

電源制御を行う第1の電源により状態が変化するレベル変換入力(INL, INLB)が不定の際に問題となる論理ゲートの貫通電流を、制御入力E2を入力とするNAND回路103201、103202とを設けることによって解決している。

#### 【0093】

図23に示すように、図21に示すレベル変換回路に使用されるプルアップ／プルダウン回路3(5制御信号(C0～C3とE1)入力、2信号(OUTHおよび／またはOUTHB)出力を行うことができるプルアップ／プルダウン回路3)の一例は以下のように構成されている。すなわち、第2の電源(VDDH)をソース端子に、C0をゲート端子に、OUTHをドレイン端子に接続したp-MOS103301と、第2の電源(VDDH)をソース端子に、C1をゲート端子に、OUTHBをドレイン端子に接続したp-MOS103302と、第2の電源(VDDH)をそれぞれのソース端子に、E1をそれぞれのゲート端子に、OUTHをドレイン端子に接続した2以上(2個)のp-MOS103303と、GND電源をソース端子に、C2をゲート端子に、OUTHBをドレイン端子に接続したn-MOS103304と、前記n-MOS103304のソース出力に

、C3をゲート端子に、OUTHB をドレイン端子に接続した n-MOS103305 とかなる。

#### 【0094】

本実施形態の動作を説明する。図22の制御回路2で示すE2をロー (Low) にすれば、図23のC0～C3を入力とするMOS トランジスタ (103301～2および103304～5) は全てオフ (OFF) となり、この時同様にLowとなるE1が接続されたプルアップ／プルダウン回路2の2つ (2以上:複数) の p-MOS103303はオン (ON) となり、OUTHとOUTHB をともにプルアップしてハイ (High) に遷移する。

そして図7に示すように、第1の電源VDDLがオン状態の時に、第3の論理回路13からの制御信号E0,E1 はHighに遷移しており、スイッチ回路10がONの状態であり、プルアップ／プルダウン回路3がOFF の状態であるときに、レベル変換入力信号INL とINLBが第1電源レベルでレベル変換コア回路1に差動入力されると、レベル変換コア回路2内のハイ (High) が入力する n-MOSに接続される側の出力 (OUTHまたはOUTHB) がロー (Low) に引き落とされ、もう片方の出力が、第2の電源レベルのHighに引き上げられる動作となる。このときのレベル変換コア回路の動作は、図6に示すレベル変換コア回路の動作と同様である。

#### 【0095】

第1の電源VDDLをオフに遷移する際、まず、制御信号E0,E1 をLow に切り換え、スイッチ回路10をOFF にし、プルアップ／プルダウン回路3をON状態にして、レベル変換回路の貫通電流を防止する一方、レベル変換出力 (OUTH, OUTHB) をそれぞれHighに固定する。

これにより、VDDLをオフにした際にレベル変換入力 (INL, INLB) が不定となっても、貫通電流と出力のばたつき (オン-オフの不定な切り替わり) を防止可能となる。次に第1の電源VDDLをオンに遷移する際、まずVDDLをオンに遷移して安定させた後、制御信号E0,E1 をHighに切り換え、プルアップ／プルダウン回路をオフ (OFF) にし、スイッチ回路をオン (ON) にして、レベル変換入力に従い、レベル変換出力の一方 (OUTH) が立ち下がった後、前記した図6と同様のレベル変換動作を行う。

## 【0096】

このように、第1の電源VDDLを制御する際に、スイッチ回路10をOFFにし、プルアップ／プルダウン回路3をONに遷移しているので、レベル変換入力の不定に伴う貫通電流と出力のばたつきが防止可能となる。

従って、多電源を有するLSIであっても、不使用ブロックの電源をオフすることによるリーク電流削減を、前記したようにオーバーヘッドを抑制しつつ実現可能とすることができる。

## 【0097】

このような本発明のレベル変換回路に使用される制御回路2を構成する図22に示すNAND回路103201、103202の構成例を図24に示す。本図において、制御信号E2は出力端子から最も遠い n-MOS103001-6（または103002-6）に接続している。このように、E2信号を用いることによって、遅延制約が小さいため、このような接続が可能である。逆にレベル変換入力(INL, INLB)を出力端子に近い n-MOS103001-4（または103002-4）に接続している。これは出力端子から遠い n-MOSに接続する場合に比べてゲート遅延を少なくすることが可能なためである。但し、レベル変換入力は第1の電源レベルであり、第2の電源との電位差が大きくなった場合、あるいはn-MOS 閾値が大きい場合、特に基板効果によるn-MOS 閾値の上昇の影響が大きくなると、出力端子に近いn-MOS に接続した方が、遅延が大きくなる場合がある。この場合には、基板効果の影響の小さい出力端子から遠いn-MOS に接続して、遅延の増加を防止することができる。図24の入力順にとらわれる必要はない。また、レベル変換入力が接続されるp-MOS は、レベル変換入力のHighレベルが第2の電源までいかないため、p-MOS 閾値によってはOFF せず、n-MOS は十分ONせず、NAND動作が困難になる可能性がある場合には、p-MOS のチャネル幅／チャネル長の比(W/L)を小さくし、あるいは閾値を減少（極性が負で絶対値を増加）させたり、対応するn-MOS のW/L を大きくしたり閾値を極性が正で絶対値を減少させることによりNAND動作を保証することができる。また、論理動作が可能であっても、p-MOS のW/L を小さくしたり、閾値を減少（例えば、閾値をVDDL-VDDH 以下の値、すなわち極性は負で絶対値は増加）することによって、NANDリークを抑制することが可能

である。

#### 【0098】

このレベル変換回路の動作のタイミングチャートを、図25に示す。第1の電源(VDDL)がオンの状態で第3の論理回路13からの制御信号(E0, E1, E2)がHighの場合には、レベル変換の入力(INL, INLB)の変化により、レベル変換の出力(OUTH, OUTHB)が得られる。特に、制御回路2によりプルアップ/プルダウン回路3が制御されることにより、状態が変化する方向に補助される。

#### 【0099】

第1の電源(VDDL)をオフにした場合には、あらかじめE0をLowにしてスイッチ回路10をオフにするとともに、E1をLowにしてレベル変換出力(OUTHかOUTHBのいずれか)をHighに固定してから、第1の電源(VDDL)をオフにする。

第1の電源(VDDL)をオンにする場合には、まず、第1の電源をオンにして電源が安定した後に、制御信号を制御する。

本実施形態で使用されるプルアップおよび/またはプルダウン回路3は、レベル変換回路と第2の論理回路11の接続(入力)がOUTHのみの場合、図26に示すプルアップ/プルダウン回路3に変更しても良い。OUTHBにだけ接続(入力)する場合には、制御信号E1がゲート端子に接続されるp-MOSのドレイン端子をOUTHでなく、OUTHBに接続する。

#### 【0100】

また本実施形態で使用されるプルアップおよび/またはプルダウン回路3において、OUTHをHigh、OUTHBをLowに固定する必要がある場合には、図27または図28に示すプルアップおよび/またはプルダウン回路3に変更しても良い。但しこの場合には、レベル変換入力INL、INLBの一方が第1の電源VDDL制御時にLowであることが保証され貫通電流の発生を防止する場合に限られる。

#### 【0101】

本実施形態では、制御回路2とプルアップおよび/またはプルダウン回路3とを、レベル変換動作時にプルアップ回路(3-1)のみを有するように、それぞれ、図29と図30-図33に変更しても良い(3制御信号(C0とC1、C2とC3などのC0~C3の中から選択される2制御信号とE1信号)入力、2信号(OUTHおよび

／またはOUTH<sub>B</sub>) 出力を行うことができるプルアップおよび／またはプルダウン回路3)。図30～図33への変更時の制約は図23および図26～図28の場合と同様である。前記した図3、12、14、16または図62に示すレベル変換コア回路1を用い、そのn-MOS と、スイッチ回路10のn-MOS を、それぞれ独立に並列接続した場合には、この限りではない。

#### 【0102】

本実施形態で使用される制御回路2とプルアップおよび／またはプルダウン回路3とを、レベル変換動作時にプルダウン(3-2)機能のみを動作するようにした場合、それぞれ図34に変更することもできる。

また、図34等のNAND回路の例を図35～図38に示す。図35～図38への変更時の制約は、前記した図23、図26～図28の場合と同様である。

また本実施形態で使用される制御回路を、図39～図41に変更しても良い。図39～図41への変更後の機能、動作は、それぞれ図22、図29、図34と同様であり、説明を省略する。

#### 【0103】

この図39～図41において、図39～図41に示すNOR 回路の例を図42に示す。この図42において、制御信号 E2B (E2の反転信号) は、出力端子から最も遠い p-MOS 102601 に接続している。このE2B を用いることによって、遅延制約を最も小さくすることができる。またレベル変換入力(INL, INLB)を、出力端子に近いp-MOS に接続することによって、出力端子から遠いp-MOS に接続する場合に比べてゲート遅延を少なくすることができる。但し、図42の入力順にとられる必要はない。また、レベル変換入力に接続されるp-MOS は、レベル変換入力のHighレベルが第2の電源電圧レベルまで到達できないため、p-MOS の閾値によってはOFF せず、またn-MOS は十分にONせず、これによりNOR 動作が困難になる場合がある。この場合には、前記同様に、p-MOS のチャネル幅／チャネル長の比(W/L) を小さくしたり、当該閾値を減少(VDDL-VDDH以下、極性は負で絶対値は増加)させたり、対応するn-MOS のW/L を大きくしたり閾値を減少させることによりNOR 動作を保証させるようにする。また、論理動作が可能であっても、p-MOS のW/L を小さくしたり、閾値を減少(閾値をVDDL-VDDH 以下とする。すなわ

ち、極性を負とし、絶対値を増加させる（前記同様））ことによって、NOR リークを抑制可能である。

#### 【0104】

なお本実施形態の説明では、第3の論理回路から出力される制御信号E0～E2により、プルアップおよび／またはプルダウン回路において、E1が使用され、制御回路ではE2が使用され、スイッチ回路10ではE0が使用されて制御されていた場合について説明している。しかしながら、上記したE0～E2のプルアップおよび／またはプルダウン回路と、制御回路と、スイッチ回路10への制御信号の入力を、それぞれ別の制御信号に適宜代えることもできる。また、前記OUTH信号またはOUTHB 信号の少なくとも1つを用いたり、さらに、前述した第1の実施形態1から第2実施形態への例のように、レベル変換コア回路1とスイッチ回路との配置を交換して、レベル変換装置を構成することもできる。

#### 【0105】

##### <第4実施形態>

本発明の第4の実施の形態は、制御回路2を工夫することによって、第3の論理回路13からの制御信号E1を省略し、かつ、プルアップおよび／またはプルダウン回路3を簡略化し、その他の基本的構成は上記したいずれかの実施形態と同様のものを採用するようにした。その構成を図43に示す。

#### 【0106】

図43に示すレベル変換回路に使用される制御回路2を、図44に示す。この図44に示すように、本実施形態に使用される制御回路2は、以下のように構成される。すなわち、図22に比べると、C0を出力するNAND回路をAND-NOR 回路に変更し、E2の反転信号（E2B）を、このAND-NOR 回路のNOR 部分に入力する。これによりE2がLow になるとC0がHighに遷移し、C3がLow に遷移することとなる。この信号の役割の変化以外には、前記した第3実施形態等と同様にして動作する。

#### 【0107】

図43に示すレベル変換回路に使用されるプルアップ／プルダウン回路3を図45に示す。以下にこの構成を説明する。すなわち、図27と比較すると、E1が



ゲート端子に入力される p-MOS 103322 と、このゲートの前段のインバータ 103326 と、その出力をゲート端子に接続する n-MOS 103325 とを削減することができる。但し、図 27 と同様に、レベル変換入力 INL, INLB の一方が第 1 の電源 VDDL 制御時に Low であることが保証され、貫通電流の発生を防止する場合に限られる。

#### 【0108】

図 44 の AND-NOR 回路は、たとえば図 46 に示すように、以下のように構成されている。すなわち、制御信号 E2 の反転信号 E2B をゲート端子に接続する p-MOS 102 を電源側に配置する。こうすると、遅延制約が最も小さい E2 を使用できる。その他は図 24 の NAND 回路と同様である。図 46 において、2 個の n-MOS への入力がそれぞれ、INL or INLB と、OUTH or OUTHB となっているが、これは、入力信号が INL と OUTH、INL と OUTHB、INLB と OUTH、INLB と OUTHB のいずれかの組み合わせの入力信号であることを示している。INL or INLB と、OUTH or OUTHB などの表記した場合には、本明細書では、このような入力信号の組み合わせを意味している。

#### 【0109】

図 43 に示すレベル変換回路の動作例を図 47 のタイミングチャートに示す。

本実施形態に使用される制御回路 2 とプルアップ／プルダウン回路 3 とでは、レベル変換時にプルアップ（3-1）機能のみを発揮させるように、第 1 の電源オフ時にレベル変換出力の OUTH のみを High レベルに固定する場合に、それぞれ図 48 と図 49 に示す回路に変更しても良い。本実施形態で使用される制御回路 2 とプルアップ／プルダウン回路 1（図 49 参照）は、レベル変換時にプルダウン機能のみを使用し、第 1 の電源オフ時にレベル変換出力の OUTH を High、OUTHB を Low に固定した場合には、それぞれ図 50、図 51 に示す回路構成に変更しても良い。また本実施形態で使用される制御回路 2 は、図 52～54 のいずれか 1 つに変更しても良い。このように変更されたレベル変換回路は、それぞれ、図 44、図 48、図 50 の項で説明したのと同様に動作し、変更前の回路と同様の機能を発揮する。

#### 【0110】

図52～54に使用されているOR-NAND回路は、図55に示すように、以下のよう構成されている。すなわち、制御信号E2をゲート端子に接続するn-MOSをGND電源側に配置する。このようにすれば、遅延制約が最も小さいE2を使用することができる。他は、図42のNOR回路と同様である。

本実施形態で使用される制御回路2を、レベル変換時にプルアップ(3-1)機能またはプルダウン(3-2)機能のみを動作可能なように第1の電源オフ時にレベル変換出力のOUTHとOUTHBとをともにHighに固定する場合、あるいはプルダウン(3-2)でLowに固定する場合には、図56または図57に変更しても良い。但し、スイッチ回路位置を電源側に配置した場合に、電源GND間貫通電流が無い場合に限られる。

#### 【0111】

##### <第5実施形態>

本発明の第5の実施の形態は、第1の電源と第2の電源の電位差が大きい場合のレベル変換動作マージンを改善可能とするレベル変換回路において、第2の電源を供給される制御回路2と第2の電源を供給されるプルアップ／プルダウン回路3を有する構成における制御について工夫した。本実施形態では特にレベル変換コア回路1の制御について工夫している。その構成を図60に示す。本図において、図21に対して制御回路2はレベル変換コア回路1を制御する制御信号C4、C5を用意している。

#### 【0112】

図60のレベル変換回路に使用されるレベル変換コア回路は、図61に示すように以下のように構成されている。すなわち、レベル変換コア回路10の構成例を示す図15または図16を本実施形態で採用した場合、出力にドレイン端子が接続される2個のp-MOSスイッチのゲート端子を、制御回路2からの制御信号C4、C5により、制御するように変更している。

またレベル変換回路の他の実施形態を示す図63に示す。図63において使用されている制御回路2は、図60に示すように、以下のように構成されている。すなわち、図22に示す回路に対して、C3とC2に代えてC4とC5を出力している。本実施形態で使用できるプルアップ／プルダウン回路3の構成は、図23を、た

たとえば採用することができ、さらに、この図 23 に示すプルアップ／プルダウン回路に代えて、図 26～図 28 のいずれかに示すプルアップ／プルダウン回路を採用できる。その動作は、前記した場合と同様である。

### 【0113】

本実施形態で使用されている制御回路 2 を図 63 に示す制御回路 2 に代えて、図 64 に示す回路に変更しても良い。また、レベル変換時にプルアップ機能のみを発揮するようにする場合には、図 63 に示す制御回路に代えて、図 65 または図 66 に示すような回路構成に変更することができる。さらに、レベル変換時にプルダウン 3-2 機能のみを発揮させるような場合には、図 63 に示す制御回路に代えて、図 67 または図 68 に示すような回路構成に変更することができる。また、レベル変換時のプルアップ機能もプルダウン 3-2 機能も用いない場合には、図 63 に示す制御回路に代えて、図 69 または図 70 に示す回路構成に変更することができる。そしてこれらの制御回路を採用した場合にプルアップ機能のみを発揮するように、図 30～31 あるいは図 32～33（プルダウン機能もある）を採用することができる。なおこれらのプルアップおよび／またはプルダウン回路は、制御信号 C0、C1 信号を入力しているが、これを C2、C3 に代えた場合には、図 35～38 のいずれかのプルアップおよび／またはプルダウン回路を採用することができる。その他、これらの制御回路 2 とプルアップおよび／またはプルダウン回路 3 の動作は、前記した実施形態と同様であり、またこれら意外の制御回路とプルアップおよび／またはプルダウン回路の組み合わせのレベル変換回路も構成（変更）可能であり、これらも本発明に含まれる。要するに本実施形態では、制御信号 C4、C5 信号を出力する以外は、その他出力する制御信号については、制限なく、自在に選択することができ、このようなその他の制御信号として、たとえば図 64 に示すような図 63 と同様に C0～C5 信号（その他の制御信号として C0～C3 信号）を選択した場合、図 63 の NAND 回路に代えて NOR 回路を採用した場合の制御回路の例を挙げることができる。また、図 65 に、その他の制御信号として、C0、C1 信号を選択し、NAND 回路を選択した制御回路の例を示す。図 65 と同様に、その他の制御信号として、C0、C1 信号を選択し、NOR 回路を選択した制御回路の例を図 66 に示す。以下、その他の制御信号として、C2、C3 信号

を選択し、NAND回路を選択した制御回路の例を図67に、その他の制御信号として、C2、C3信号を選択し、NOR回路を選択した制御回路の例を図68に示す。さらに、その他の制御信号を出力せずにC4およびC5信号のみを制御信号として出力するNAND回路構成の制御回路の例を図69に示し、NOR構成の制御回路を図70に示す。

#### 【0114】

このような第5実施形態の動作例を示せば、INLがLow、INLBがHigh、OUTHがLow、OUTHBがHighの場合、第1の論理回路から出力されたINL信号がHigh（INLBがLow）となると制御回路2はこのINL信号が入力されてC0信号等を出力する。この出力されたC0はLowを出力してOUTHに接続されたプルアップおよび／またはプルダウン回路3内のp-MOSがオンしてOUTHをプルアップするとともに制御回路2によりC3はHighを出力し、その結果、プルアップおよび／またはプルダウン回路3内のOUTHBに接続されるn-MOSがオンしてOUTHBをプルダウンし、制御回路2によりC4はHighを出力してOUTHBに接続されるプルアップおよび／またはプルダウン回路3内のp-MOSスイッチをオフしてOUTHBのプルアップを抑制し、同時にレベル変換コア回路1の動作によりOUTHBがLowに引き下げられると、制御回路2によりC0はHighを出力してプルアップおよび／またはプルダウン回路3内のp-MOSはオフとなり、プルアップを終えるとともに、制御回路2によりC3はLowを出力してプルアップおよび／またはプルダウン回路3内のn-MOSはオフとなりプルダウンを終え、制御回路2によりC4はLowを出力してプルアップおよび／またはプルダウン回路3内のp-MOSスイッチはオンとなる。そして、INLがHigh、INLBがLow、OUTHがHigh、OUTHBがLowになる。

#### 【0115】

次に、外部の第1の論理回路4によりINLBがHigh（INLがLow）となると、この信号が入力されて制御回路2により、C1はLowを出力してOUTHBに接続されるプルアップおよび／またはプルダウン回路3内のp-MOSがオンに遷移してOUTHBをプルアップするとともに、制御回路2によりC2はHighを出力してOUTHに接続されるプルアップおよび／またはプルダウン回路3内のn-MOSがオンに遷移してOUTHをプルダウンし、制御回路2によりC5はHighを出力してOUTHに接続されるプルアッ

プおよび／またはプルダウン回路 3 内の p-MOS スイッチをオフに遷移して OUTH のプルアップを抑制し、同時にレベル変換コア回路 1 の動作により OUTH が Low に引き下げられると、制御回路 2 により C1 は High を出力してプルアップおよび／またはプルダウン回路 3 内の p-MOS はオフとなりプルアップを終えるとともに、制御回路 2 により C2 は Low を出力してプルアップおよび／またはプルダウン回路 3 内の n-MOS はオフとなりプルダウンを終え、制御回路により C5 は Low を出力してプルアップおよび／またはプルダウン回路 3 内の p-MOS スイッチはオンとなる。そして、INL が Low、INLB が High、OUTH が Low、OUTHB が High となる。なおここでプルアップおよび／またはプルダウン回路 3 内の n-MOS (トランジスタ)、p-MOS (トランジスタ) は、上記したような図 4 で示される構成を採用した場合について説明した。しかしながら、n-MOS を p-MOS に入れ替えおよび／または p-MOS を N-mos に入れ替えた構成を採用した場合には、OUTH 信号と OUTHB 信号の接続を換え、前記動作の説明でも、そのように入れ替えて解釈することによって動作されることとなる。

#### 【0116】

##### <第 6 実施形態>

本発明の第 6 の実施の形態は、図 60 に、図 43 の工夫を適用する。その具体的に表した構成を図 71 に示す。本図において、図 72 に示すような制御回路 2 を以下のように工夫した。すなわち、本実施形態では、プルアップ／プルダウン回路 3 を制御する E1 を不要とするとともに、プルアップ／プルダウン回路 3 を簡略化している。

#### 【0117】

図 72 に示すように、図 71 に係るレベル変換回路に使用されている制御回路 2 は、以下のように構成されている。すなわち、図 44 に対して、C3 と C2 に加えて、C4 と C5 とを出力している。この図 71 に使用されるプルアップ／プルダウン回路 3 は、図 43 に示す第 4 実施形態のレベル変換回路に使用されるものと同様のものを使用可能である。

#### 【0118】

本実施形態で使用される図 72 に示す制御回路 2 を、図 73 に示す制御回路 2

と変更しても良い。また、レベル変換時にプルアップ（３－１）機能のみを発揮しうるようにする場合には、図 7 4 または図 7 5 に変更することができ、さらに、レベル変換時にプルダウン（３－２）機能のみを発揮しうるようにする場合には、図 7 6 または図 7 7 に変更することができ、また、レベル変換時のプルアップ機能もプルダウン機能も用いない場合には、図 7 8 または図 7 9 に示す制御回路 2 に変更することができる。

本実施形態の動作は、前記した実施形態の動作と動作と同様である。

#### 【0119】

##### <第 7 実施形態>

図 8 0 乃至 8 1 に示すように、本発明の第 7 の実施の形態は、図 6 0、図 7 0 と比較して、制御回路 2 を工夫している。その構成を図 7 6 および図 7 7 に示す。これらの図において、プルアップ／プルダウン回路 3 がプルダウン（３－２）機能のみを発揮しうるようにする場合には、スイッチ回路を不要としている。制御回路の例は、図 7 6 または図 7 7 と同様のものを使用可能であり、図 8 2 に示すように、図 8 2 のレベル変換回路動作を示すタイミング例は以下のように表される。

すなわち、E2がLow の時、C4、C5はHighレベルであり、ゲート端子に接続するレベル変換コア回路 1 のp-MOS はこれらをOFF するように電源側に配置されるスイッチとして機能する。これによって、その結果、レベル変換入力に依存せず、電源GND 貫通電流パスを防止できる。

#### 【0120】

また、以上の実施形態において、第 1 の電源をオフする際に、第 3 の論理回路 1 3 の制御信号出力(E0, E1, E2)をLow にすることを前提としているが、それぞれを適宜、反転信号を用いることで制御回路やプルアップ／プルダウン回路 3 の簡略化も可能である。上記した実施形態の説明における使用した図において、p-MOS（トランジスタ）は、そのゲート部分に丸（○）を表示した。なお、本発明が上記各実施形態に限定されず、本発明の技術思想の範囲内にあれば、各実施形態は適宜変更され得ることができ、これらの変形実施形態も本願発明に含まれる。また、同一タイミングであれば、E0、E1、E2は 1 つに取りまとめ可能である。ま

た図7、図25等のタイミングチャートにおいて、×で示した部分は、不定の状態を表す。

【0121】

【発明の効果】

以上説明したように、本発明によれば、第1の電源が供給される第1の論理回路の信号レベルを第2の電源が供給される第2の論理回路の信号レベルに変換するというレベル変換回路において、レベル変換コア回路のGND電源端子とGND電源の間に第1の電源の制御に応じて制御信号を生成する第3の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第3の論理回路により制御されるプルアップ／プルダウン回路を設けるという基本構成に基づき、第1の電源を制御する際の貫通電流と遅延増加抑制を実現することができる。なお、レベル変換コア回路1、スイッチ回路10、制御回路2、プルアップおよび／またはプルダウン回路3の基本的構成は、前記したような構成が採用されるが、これらは、並列に2以上接続して回路を構成することもでき、たとえばレベル変換コア回路等を2以上並列に接続してレベル変換コア回路として使用することも可能である。

【図面の簡単な説明】

【図1】

本発明のレベル変換回路の第1の実施の形態における構成例を示す図である。

【図2】

第1の実施形態などに使用されるレベル変換コア回路の例を示す回路図である。

【図3】

第1の実施形態などに使用されるレベル変換コア回路の他の例を示す回路図である。

【図4】

第1の実施形態などに使用されるスイッチ回路の例を示す回路図である。

【図5】

第1の実施形態などに使用されるプルアップ／プルダウン回路の例を示す回路

図である。

【図 6】

本発明のレベル変換コア回路部分の動作例を示すタイミングチャートである。

【図 7】

本発明のレベル変換回路の第 1 の実施形態の動作例を示すタイミングチャートである。

【図 8】

第 1 の実施形態などで使用されるプルアップ／プルダウン回路の別の例を示す回路図である。

【図 9】

第 1 の実施形態などで使用されるプルアップ／プルダウン回路のさらに別の例を示す回路図である。

【図 10】

第 1 の実施形態などで使用されるプルアップ／プルダウン回路のさらに別の例を示す回路図である。

【図 11】

第 1 の実施形態などで使用されるレベル変換コア回路の別の例を示す回路図である。

【図 12】

第 1 の実施形態などで使用されるレベル変換コア回路の図 12 の別の例を示す回路図である。

【図 13】

第 1 の実施形態などで使用されるレベル変換コア回路の別の例を示す回路図である。

【図 14】

第 1 の実施形態などで使用されるレベル変換コア回路の図 13 の別の例を示す回路図である。

【図 15】

第 1 の実施形態などで使用されるレベル変換コア回路のさらに別の例を示す回



路図である。

【図 16】

第1の実施形態などで使用されるレベル変換コア回路の図15のさらに別の例を示す回路図である。

【図 17】

本発明のレベル変換回路の第2の実施の形態における構成例を示す図である。

【図 18】

第2の実施形態などに使用されるレベル変換コア回路の例を示す回路図である。

【図 19】

第2の実施形態などに使用されるプルダウン回路の例を示す回路図である。

【図 20】

第2の実施形態などに使用されるプルダウン回路の別の例を示す回路図である。

【図 21】

本発明のレベル変換回路の第3の実施の形態における構成例を示す図である。

【図 22】

第3の実施形態などに使用される制御回路の例を示す回路図である。

【図 23】

第3の実施形態などに使用されるプルアップ/プルダウン回路の例を示す回路図である。

【図 24】

第3の実施形態などに使用される制御回路を構成するNAND回路の例を示す回路図である。

【図 25】

本発明のレベル変換回路の第3の実施形態の動作例を示すタイミングチャートである。

【図 26】

第3の実施形態などに使用されるプルアップ/プルダウン回路の別の例を示す

回路図である。

【図 27】

第3の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

【図 28】

第3の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

【図 29】

第3の実施形態などに使用される制御回路の別の例を示す回路図である。

【図 30】

第3の実施形態などに使用されるプルアップ/プルダウン回路の例を示す回路図である。

【図 31】

第3の実施形態などに使用されるプルアップ/プルダウン回路の別の例を示す回路図である。

【図 32】

第3の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

【図 33】

第3の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

【図 34】

第3の実施形態などに使用される制御回路の別の例を示す回路図である。

【図 35】

第3の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

【図 36】

第3の実施形態などに使用されるプルアップ/プルダウン回路のさらに別の例を示す回路図である。

**【図 3 7】**

第 3 の実施形態などに使用されるプルアップ／プルダウン回路のさらに別の例を示す回路図である。

**【図 3 8】**

第 3 の実施形態などに使用されるプルアップ／プルダウン回路のさらに別の例を示す回路図である。

**【図 3 9】**

第 3 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

**【図 4 0】**

第 3 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

**【図 4 1】**

第 3 の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

**【図 4 2】**

第 3 の実施形態などに使用される制御回路を構成する NOR 回路の別の例を示す回路図である。

**【図 4 3】**

本発明のレベル変換回路の第 4 の実施の形態における構成例を示す図である。

**【図 4 4】**

第 4 の実施形態などに使用される制御回路の例を示す回路図である。

**【図 4 5】**

第 4 の実施形態などに使用されるプルアップ／プルダウン回路の例を示す回路図である。

**【図 4 6】**

第 4 の実施形態などに使用される制御回路を構成する AND-NOR 回路の例を示す回路図である。

**【図 4 7】**

第4実施形態のレベル変換回路の動作例を示すタイミングチャートである。

【図48】

第4の実施形態などに使用される制御回路の別の例を示す回路図である。

【図49】

第4の実施形態などに使用されるプルアップ／プルダウン回路の例を示す回路図である。

【図50】

第4の実施形態などに使用される制御回路の別の例を示す回路図である。

【図51】

第4の実施形態などに使用されるプルアップ／プルダウン回路の別の例を示す回路図である。

【図52】

第4の実施形態などに使用される制御回路の別の例を示す回路図である。

【図53】

第4の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

【図54】

第4の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

【図55】

第4の実施形態などに使用される制御回路を構成するOR-NAND 回路の例を示す回路図である。

【図56】

第4の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

【図57】

第4の実施形態などに使用される制御回路のさらに別の例を示す回路図である。

【図58】

第 4 の実施形態などに使用される制御回路の別の例を示す回路図である。

【図 5 9】

第 4 の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図 6 0】

本発明のレベル変換回路の第 5 の実施の形態の構成例を示す図である。

【図 6 1】

第 5 の実施形態などに使用されるレベル変換コア回路の例を示す回路図である

【図 6 2】

第 5 の実施形態などに使用されるレベル変換コア回路の例を示す回路図である

【図 6 3】

第 5 の実施形態などに使用される制御回路の例を示す回路図である。

【図 6 4】

第 5 の実施形態などに使用される制御回路の別の例を示す回路図である。

【図 6 5】

第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図 6 6】

第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図 6 7】

第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図 6 8】

第 5 の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図 6 9】

第5の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図70】

第5の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図71】

本発明のレベル変換回路の第6の実施の形態の構成例を示す図である。

【図72】

第6の実施形態などに使用される制御回路の例を示す回路図である。

【図73】

第6の実施形態などに使用される制御回路の別の例を示す回路図である。

【図74】

第6の実施形態などに使用される制御回路の別の例を示す回路図である。

【図75】

第6の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図76】

第6の実施形態に使用される制御回路のさらに別の例を示す回路図である。

【図77】

第6の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図78】

第6の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図79】

第6の実施形態などに使用される制御回路のさらに別の例を示す回路図である

【図80】

本発明のレベル変換回路の第7の実施の形態の構成例を示す図である。

**【図 8 1】**

本発明のレベル変換回路の第 7 の実施の形態の他の構成例を示す図である。

**【図 8 2】**

第 7 の実施の形態のレベル変換回路の動作例を示すタイミングチャートである。

**【図 8 3】**

従来のレベル変換回路の例を示す回路図である。

**【図 8 4】**

従来のレベル変換回路の例を示す回路図である。

**【図 8 5】**

従来のレベル変換回路の例を示す回路図である。

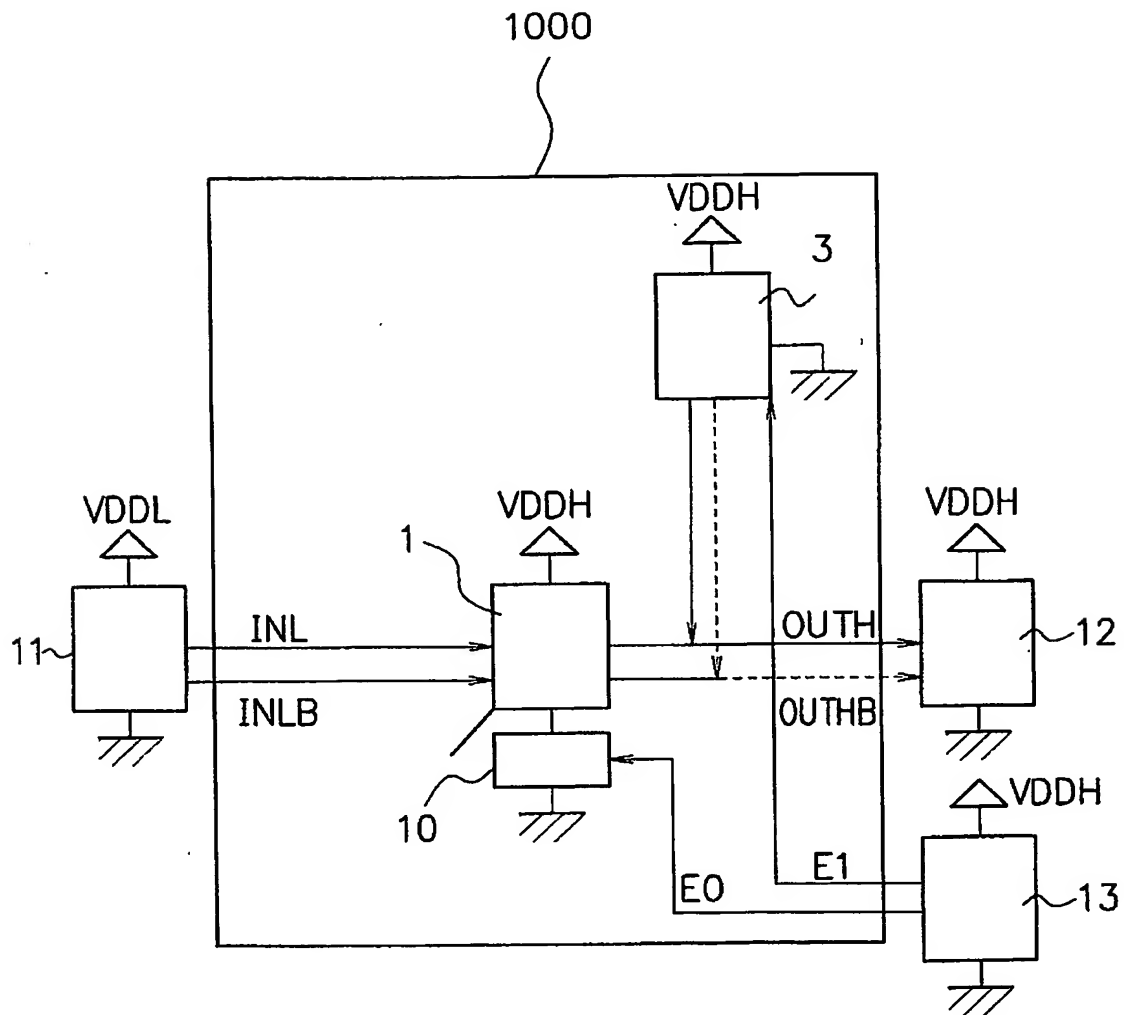
**【符号の説明】**

- 1 レベル変換コア回路
- 2 制御回路
- 3 プルアップ／プルダウン回路
  - 3-1 プルアップ回路
  - 3-2 プルダウン回路
- 10 スイッチ回路
- 11 第 1 の論理回路
- 12 第 2 の論理回路
- 13 第 3 の論理回路

【書類名】

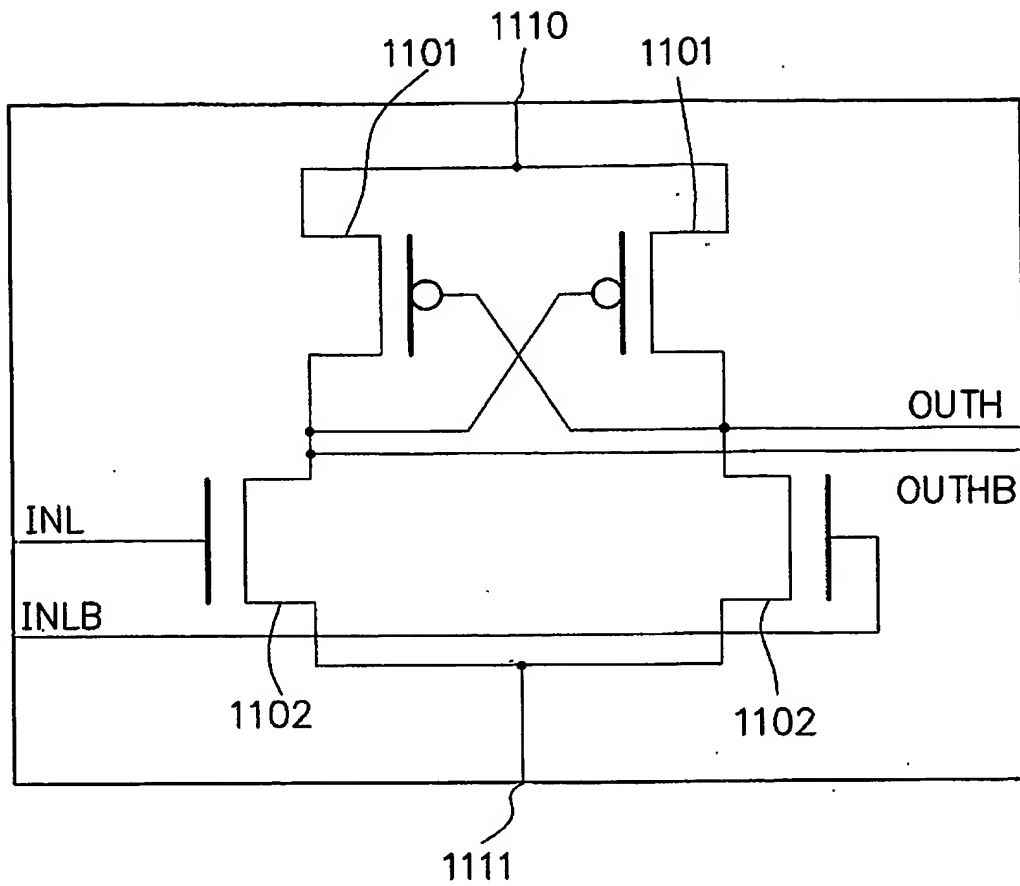
図面

【図 1】

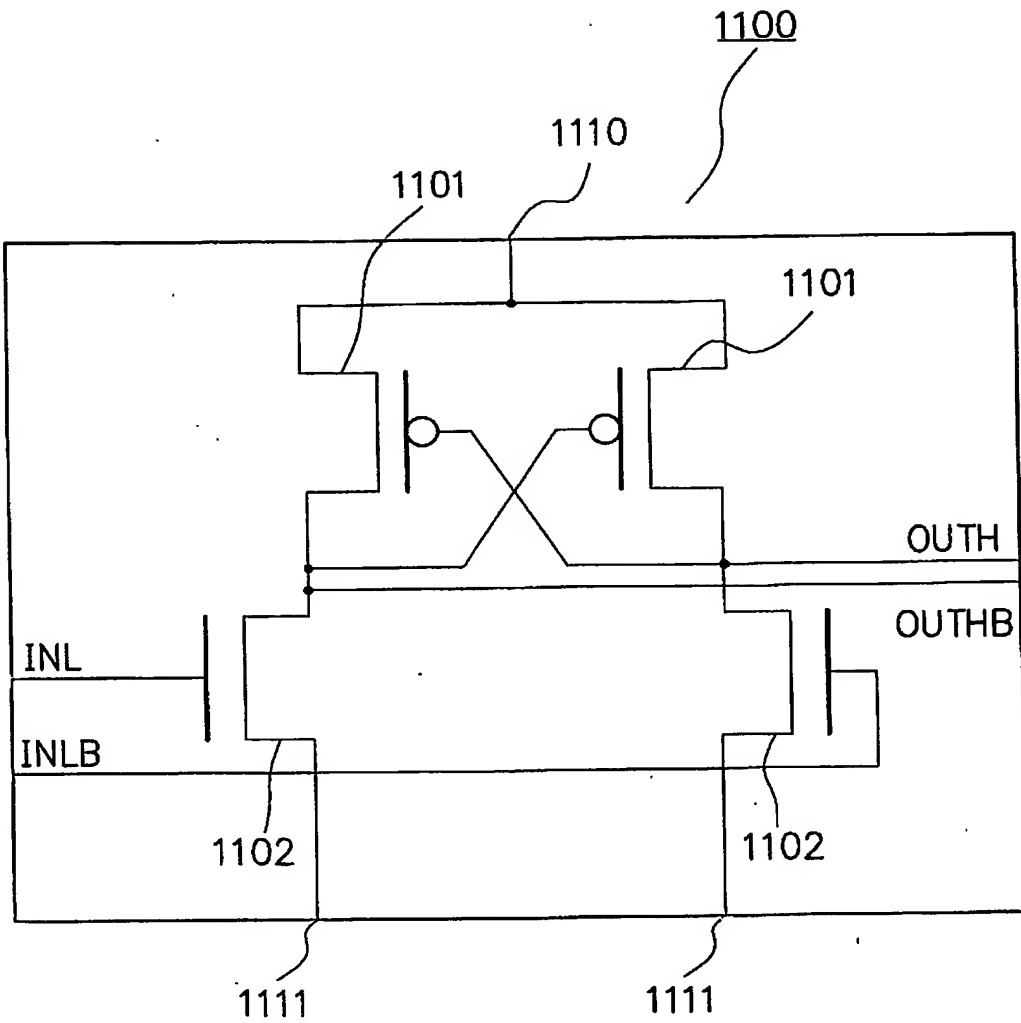




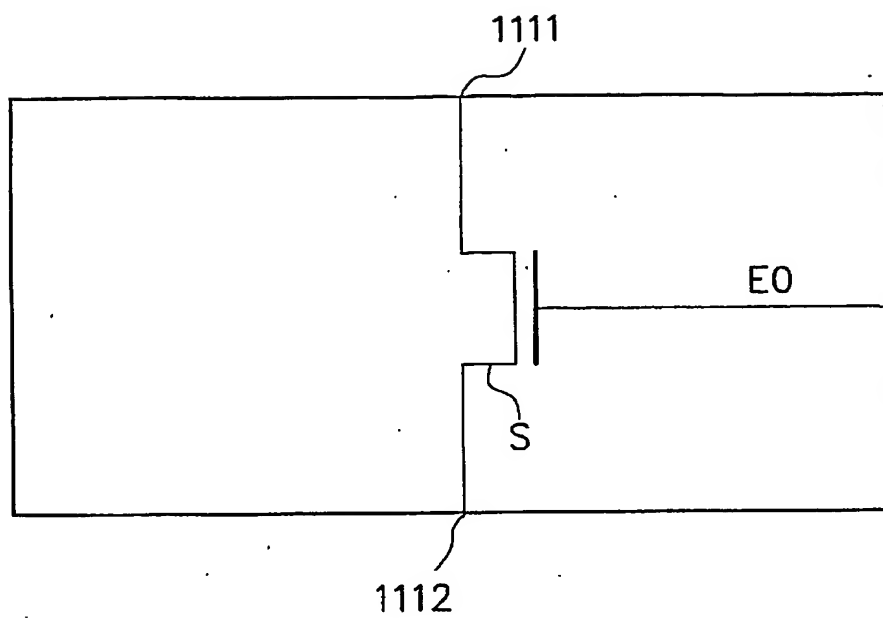
【図 2】



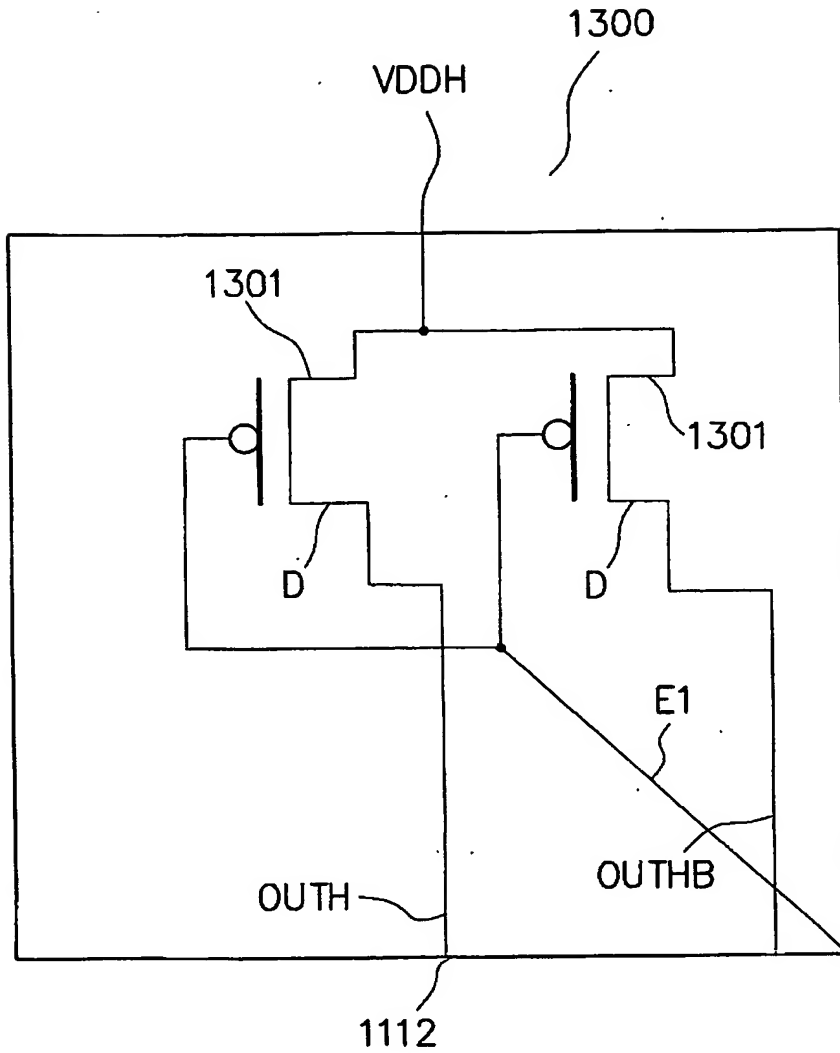
【図 3】



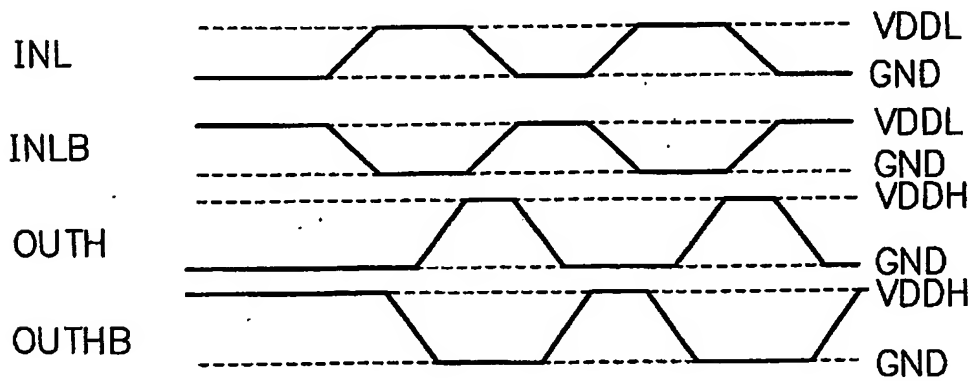
【図4】



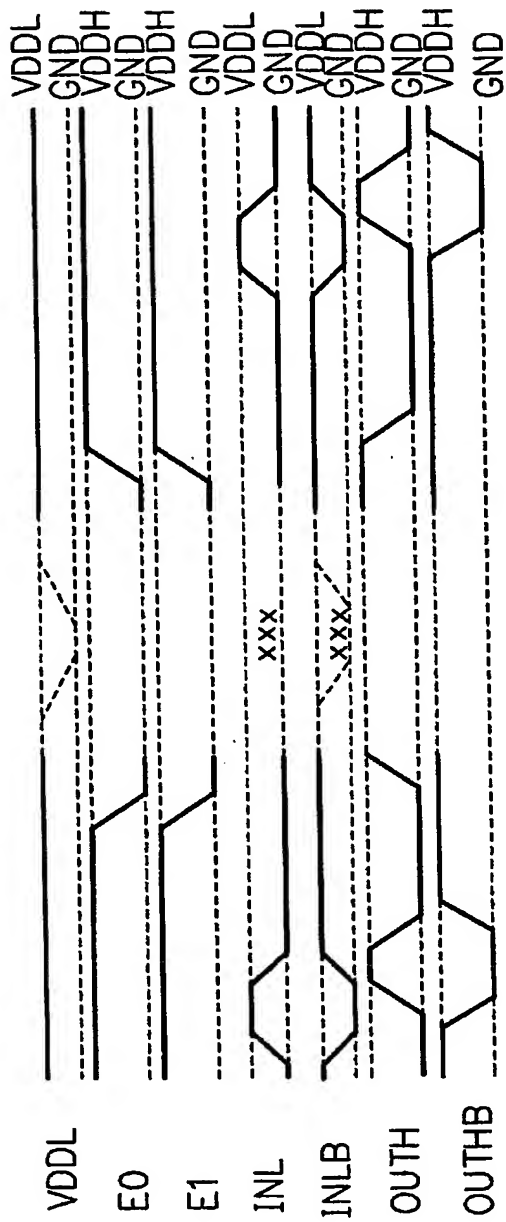
【図 5】



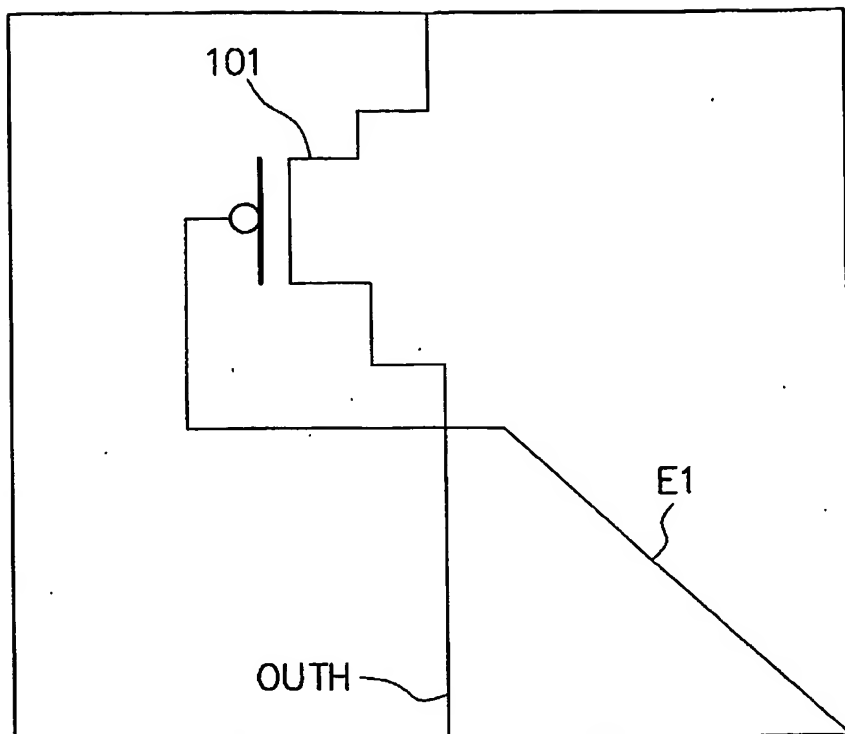
【図 6】



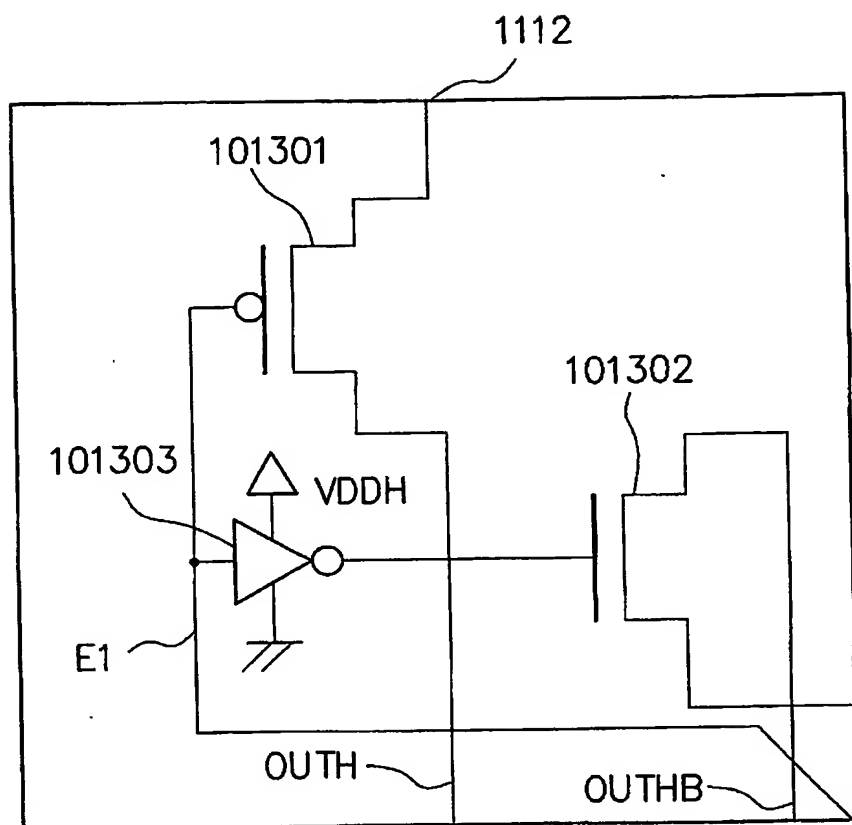
【図 7】



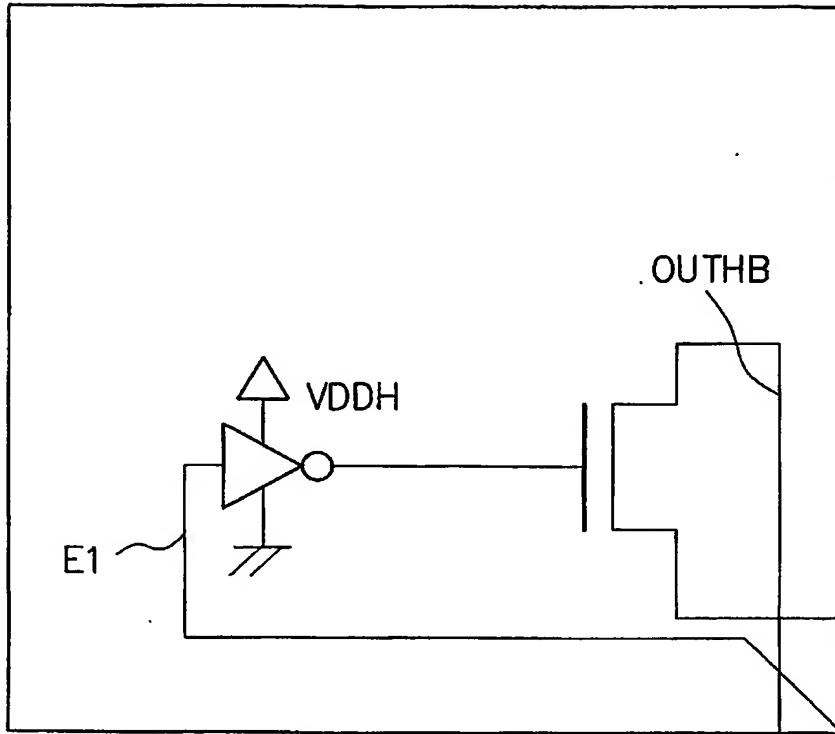
【図8】



【図 9】

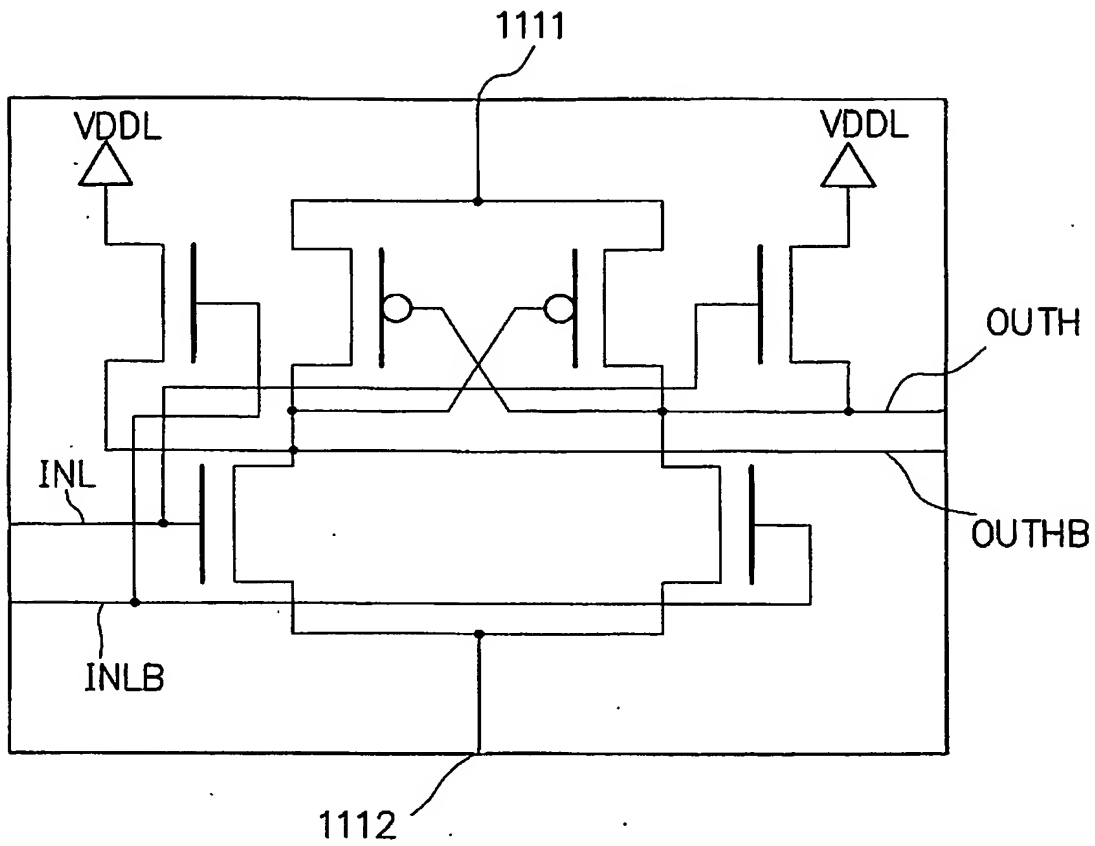


【図 10】

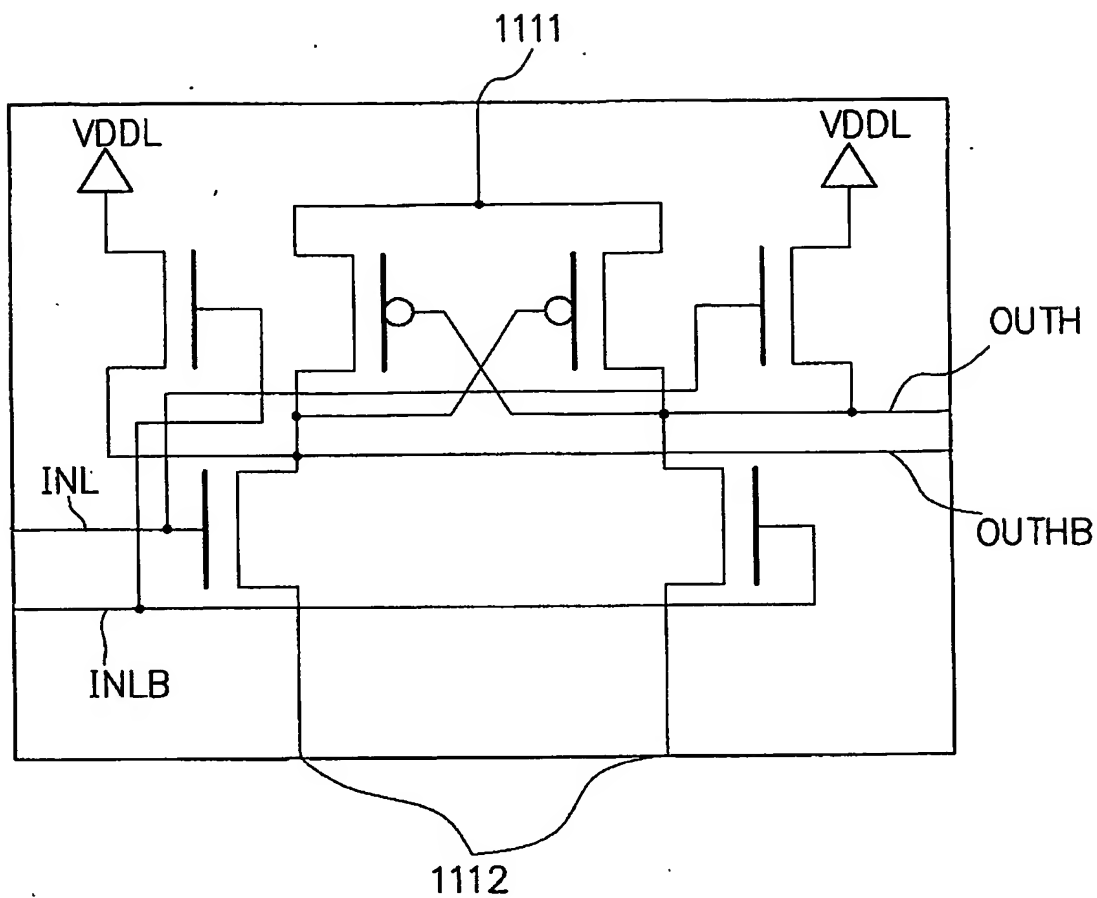




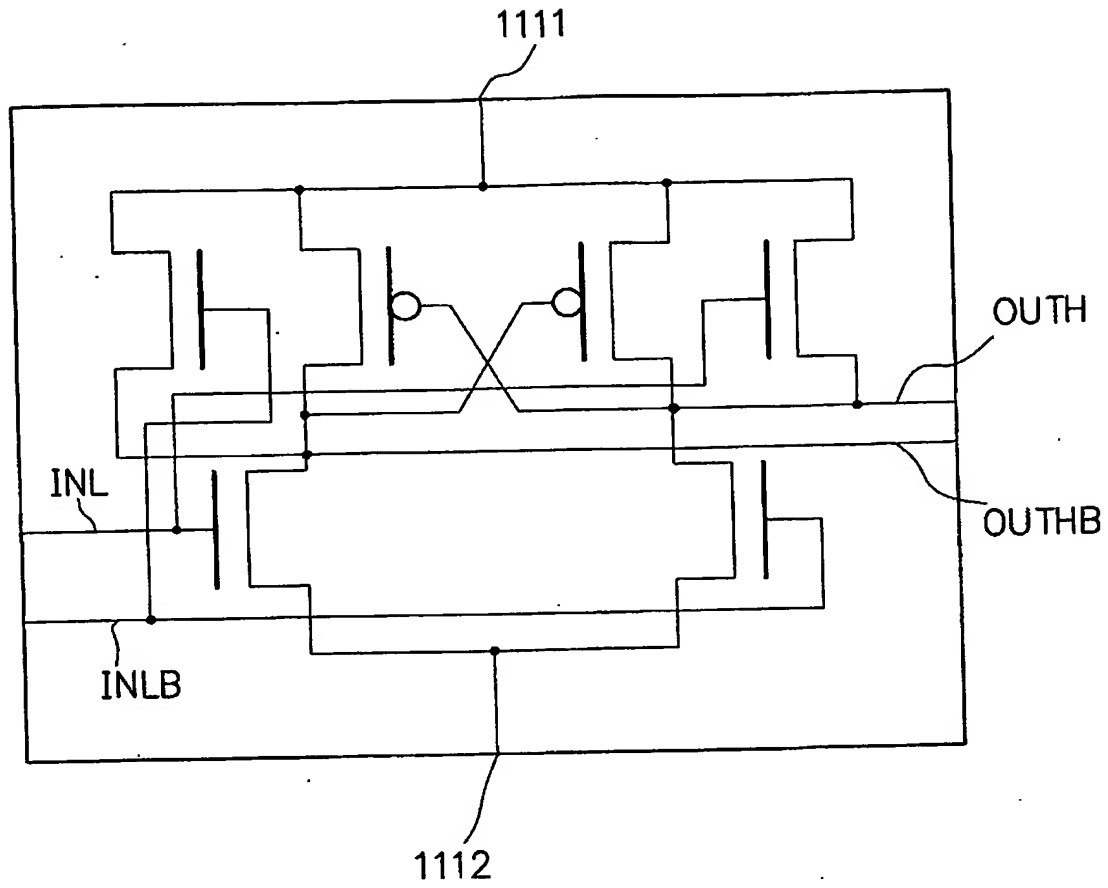
【図 11】



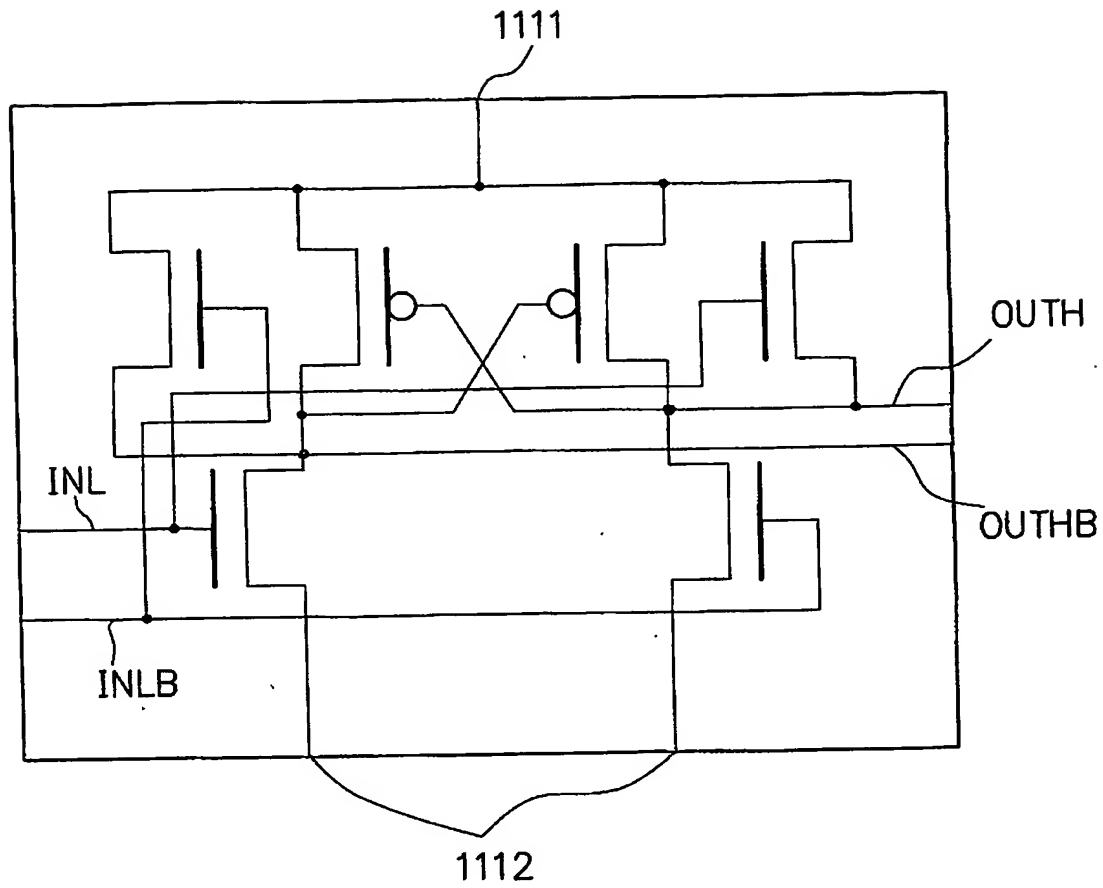
【図12】



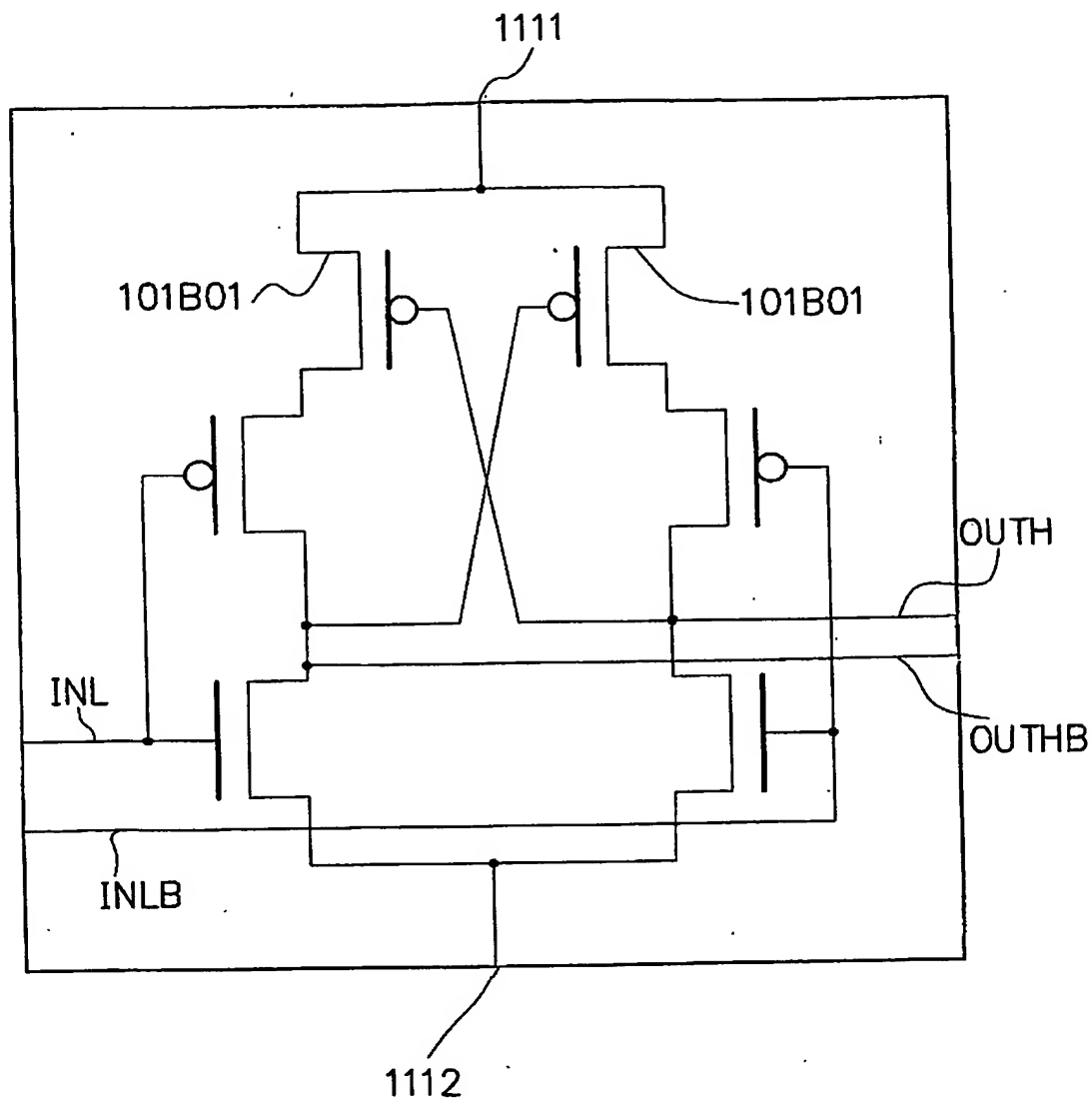
【図13】



【図14】

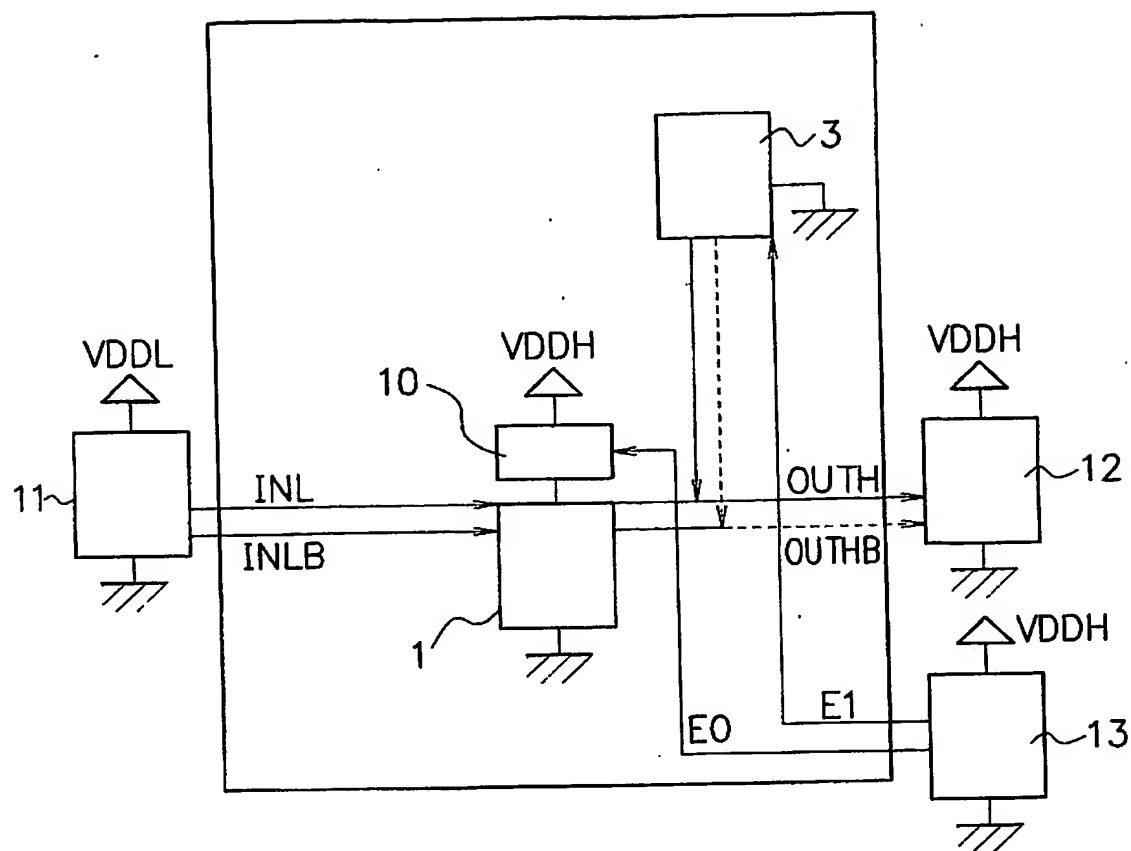


【図15】

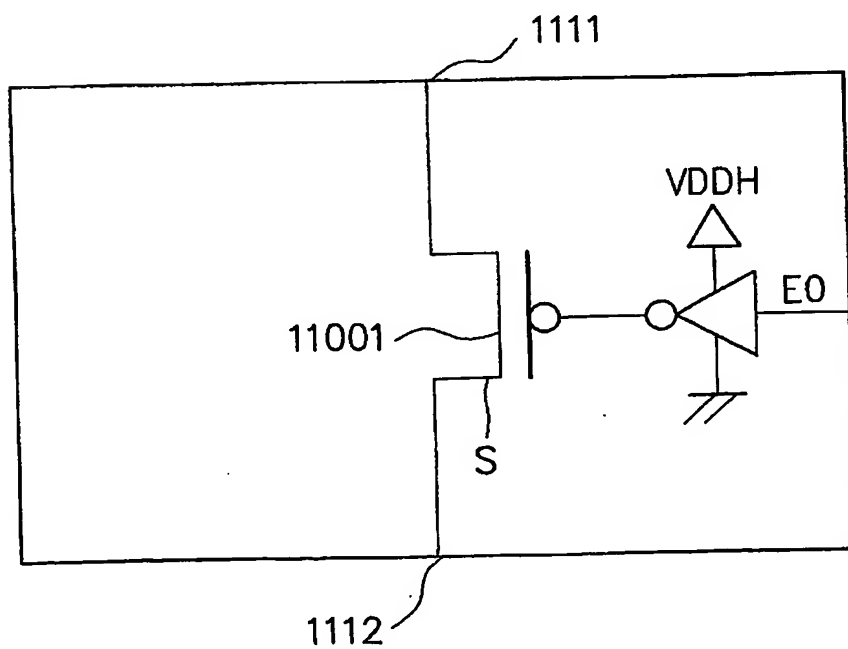


The circuit diagram 1112 shows a differential signal processing circuit. It features two input nodes, INL and INLB, which are connected to a pair of differential input transistors (represented by circles with vertical lines). The gates of these transistors are connected to a common gate voltage. The drains of these transistors are connected to a pair of differential output transistors (also represented by circles with vertical lines). The gates of these output transistors are connected to a common gate voltage. The drains of the output transistors are connected to a pair of differential output nodes, OUTH and OUTHB. The circuit is powered by a supply voltage 1111 and a ground connection 1112.

【図17】



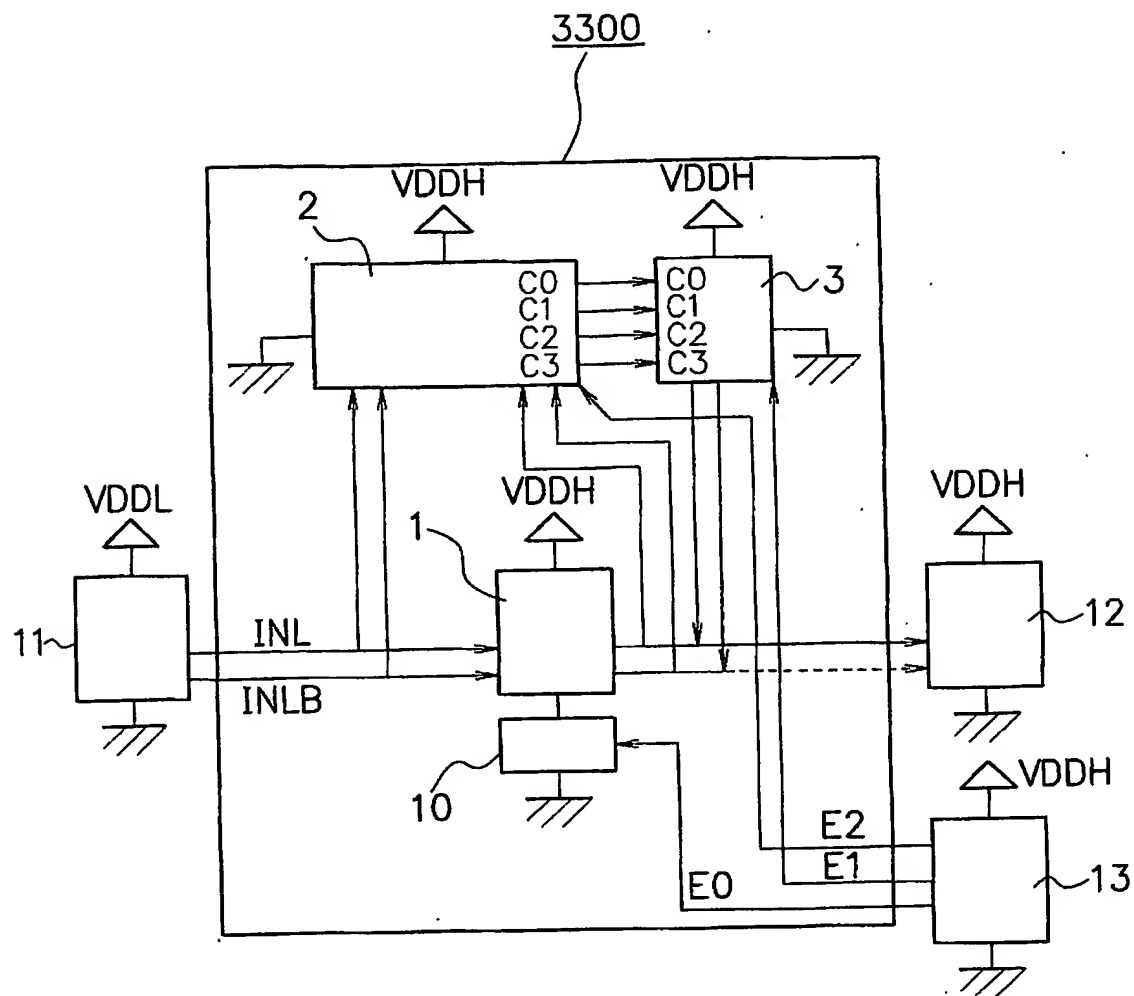
【図18】



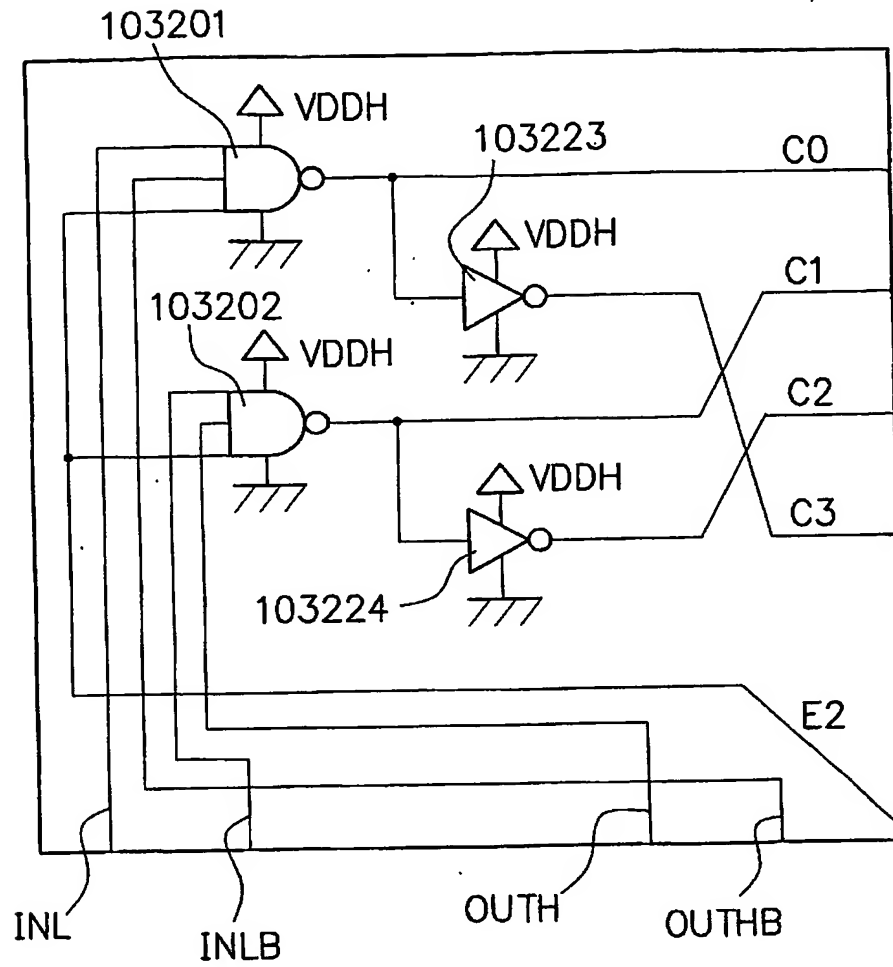




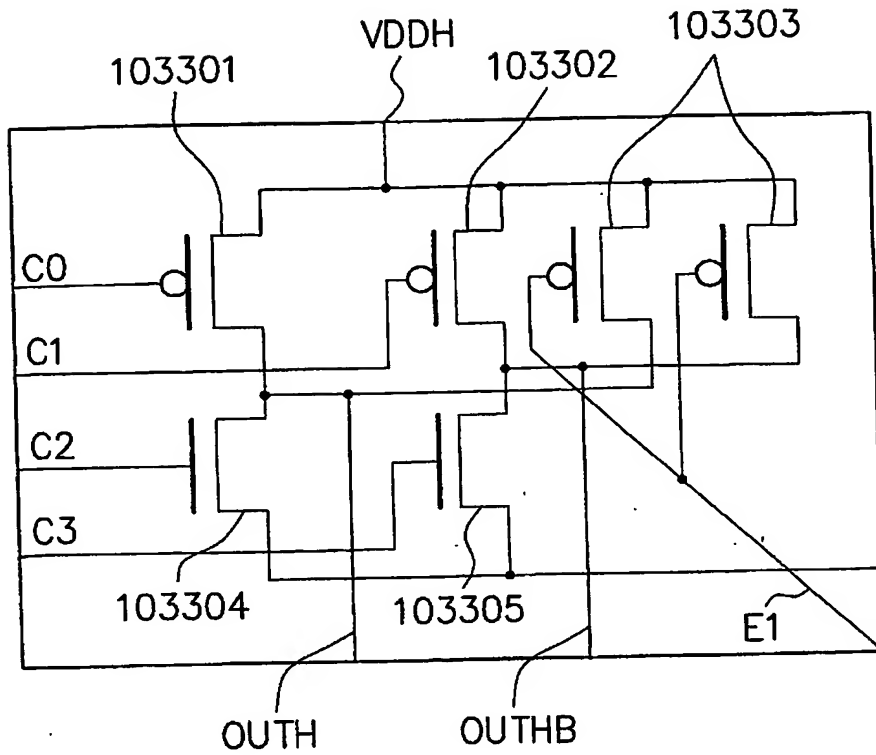
【図 21】



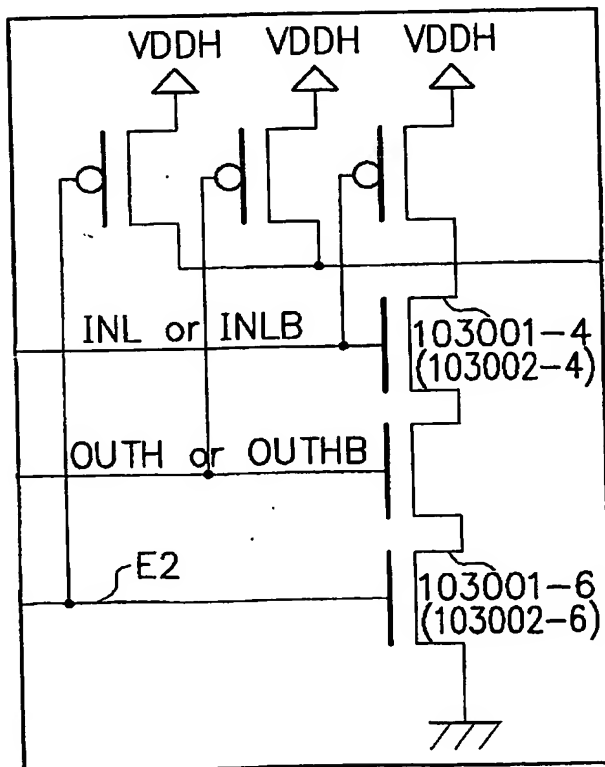
【図 22】



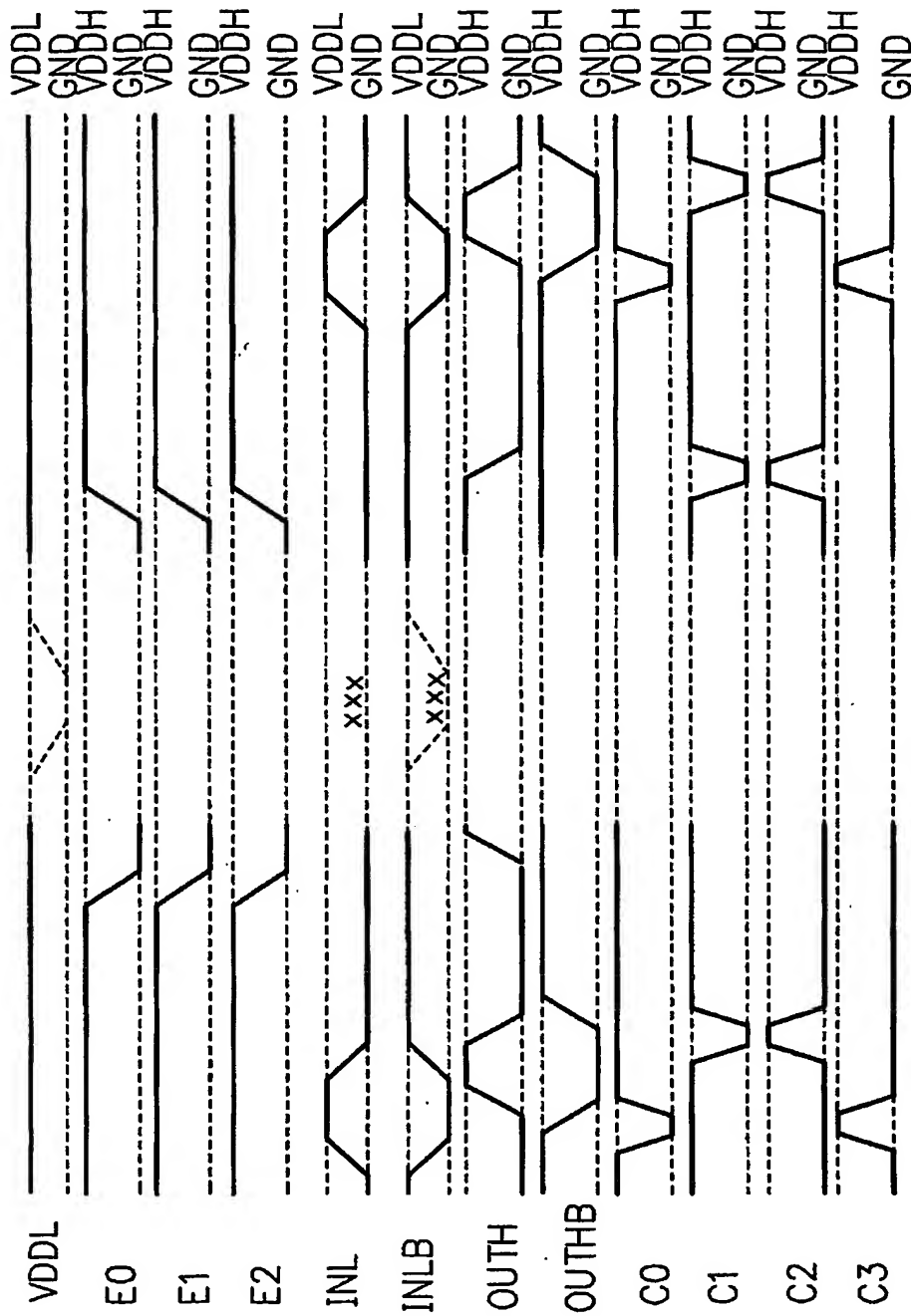
【図 2 3】



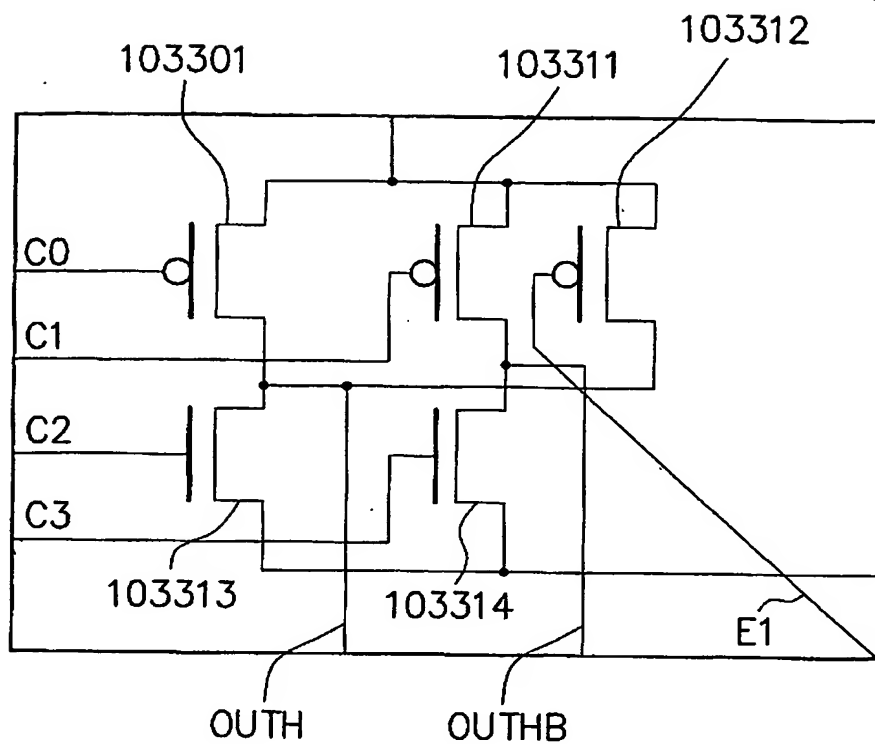
【図 2 4】



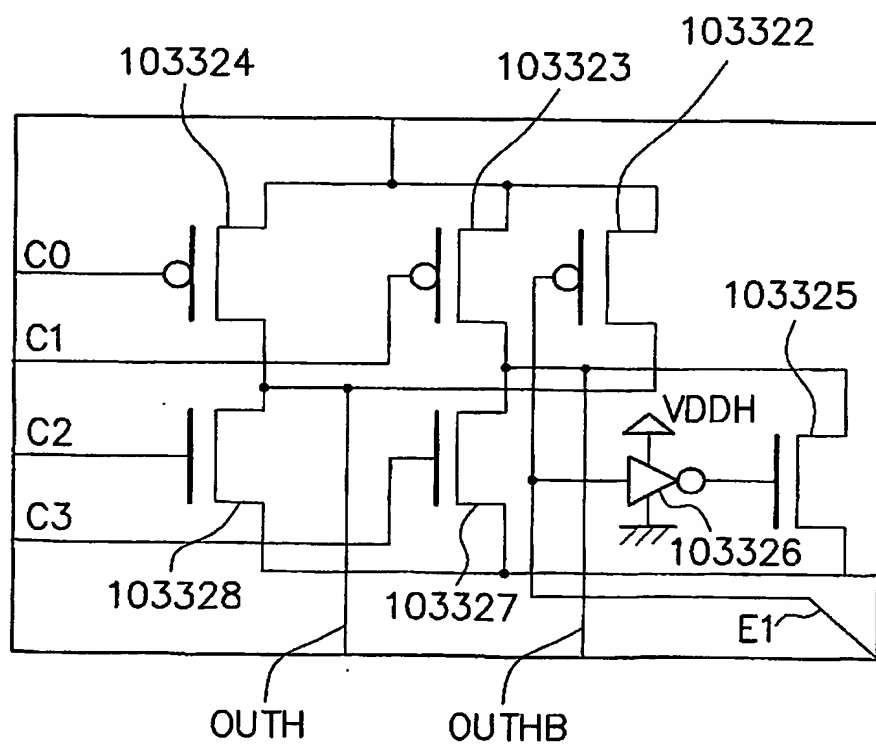
【図 25】



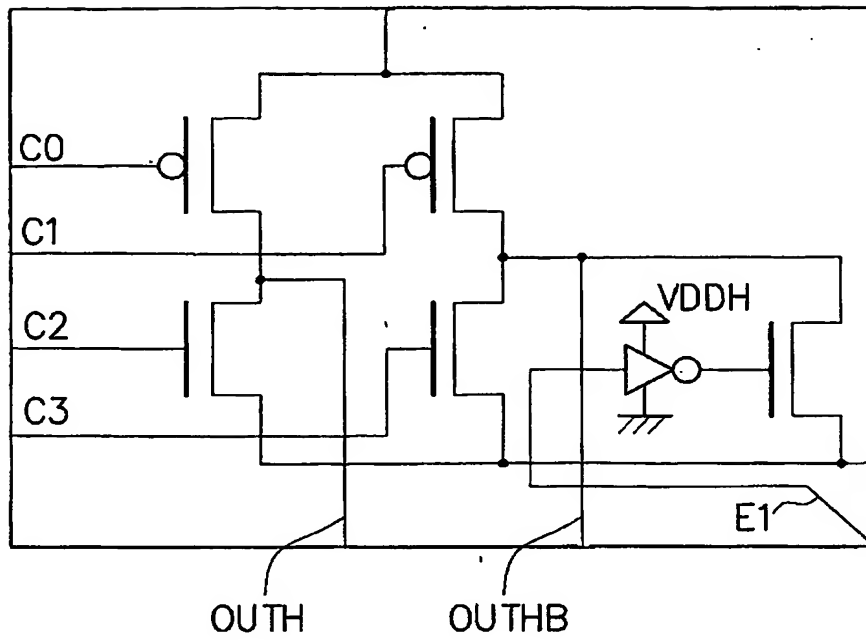
【図 2 6】



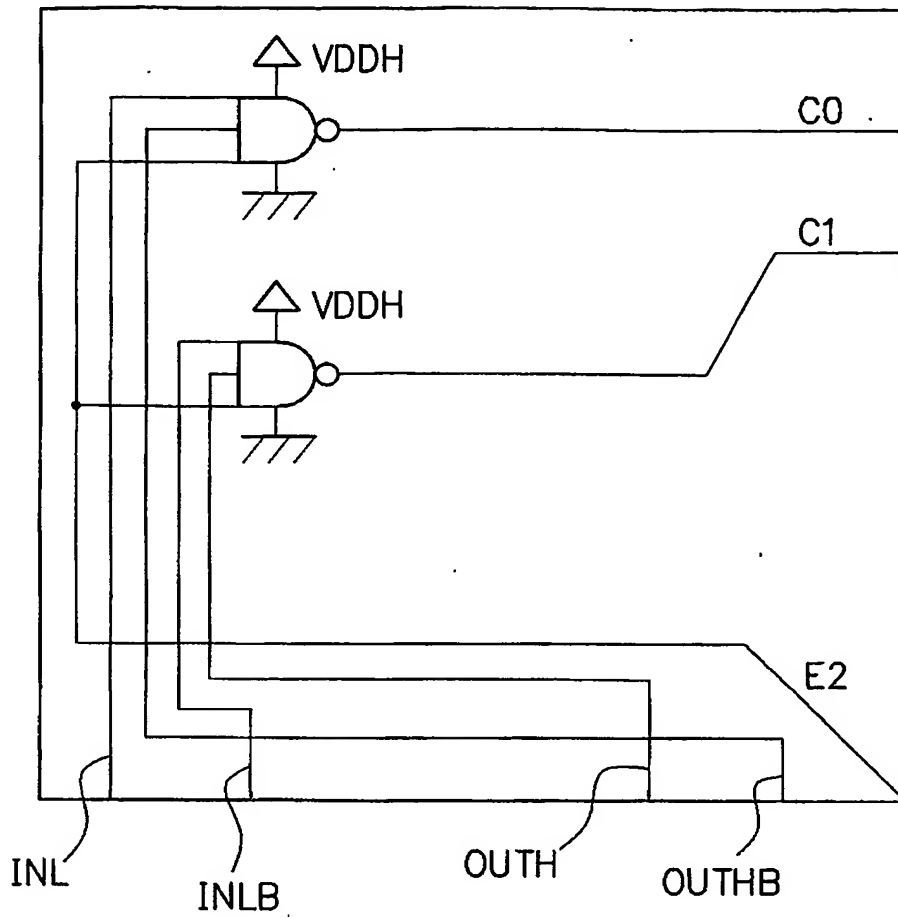
【図 27】



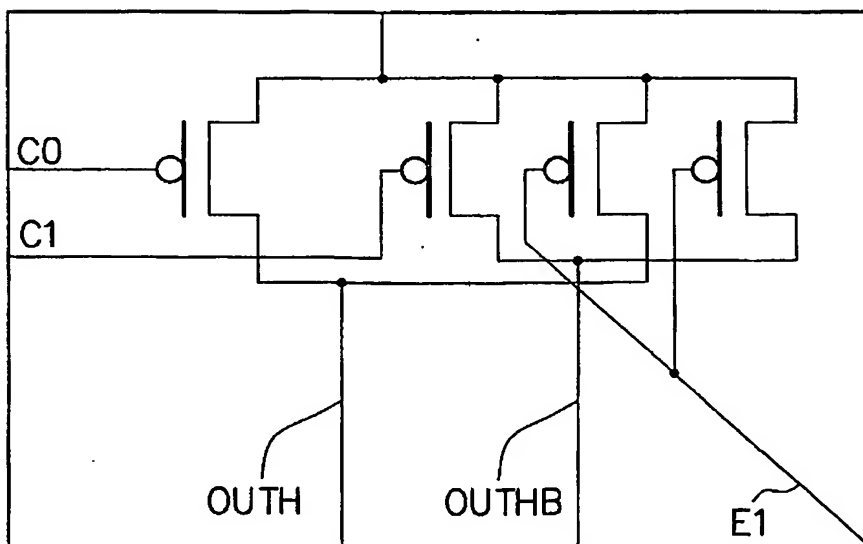
【図 28】



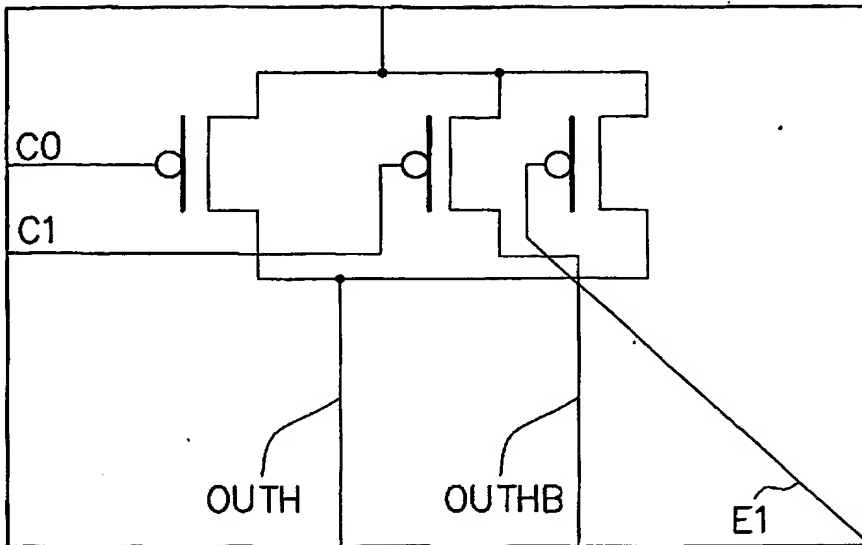
【図 29】



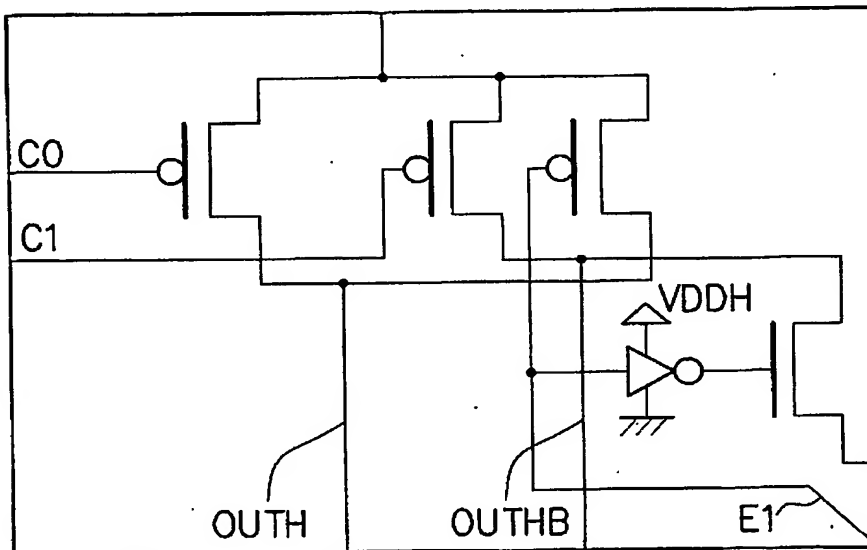
【図 30】



【図 3 1】

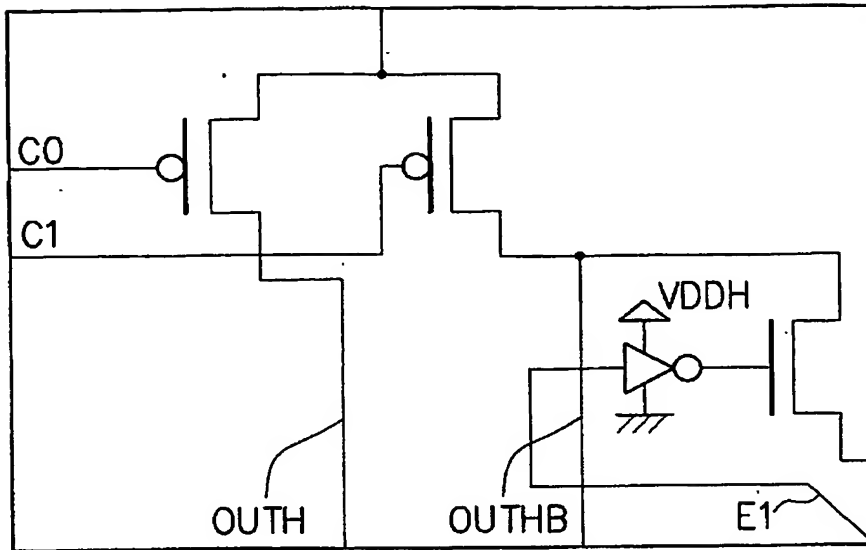


【図 3 2】

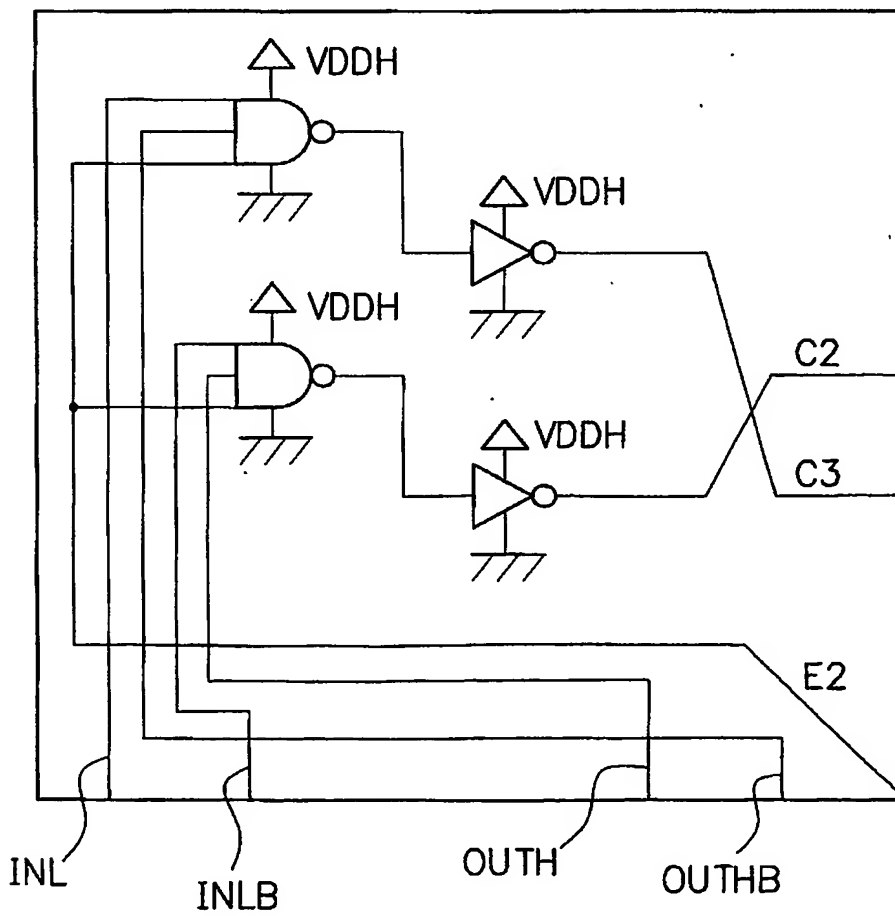




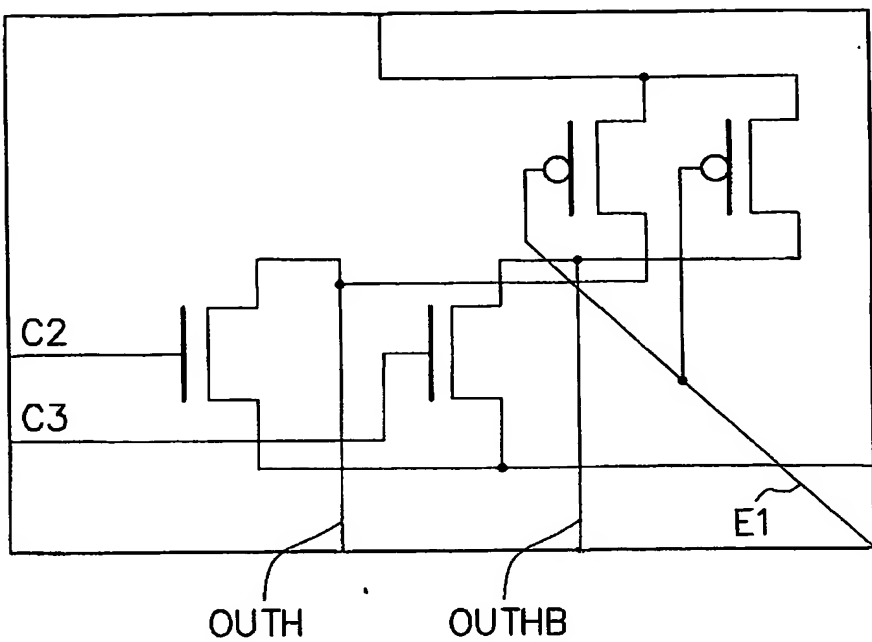
【図 3 3】



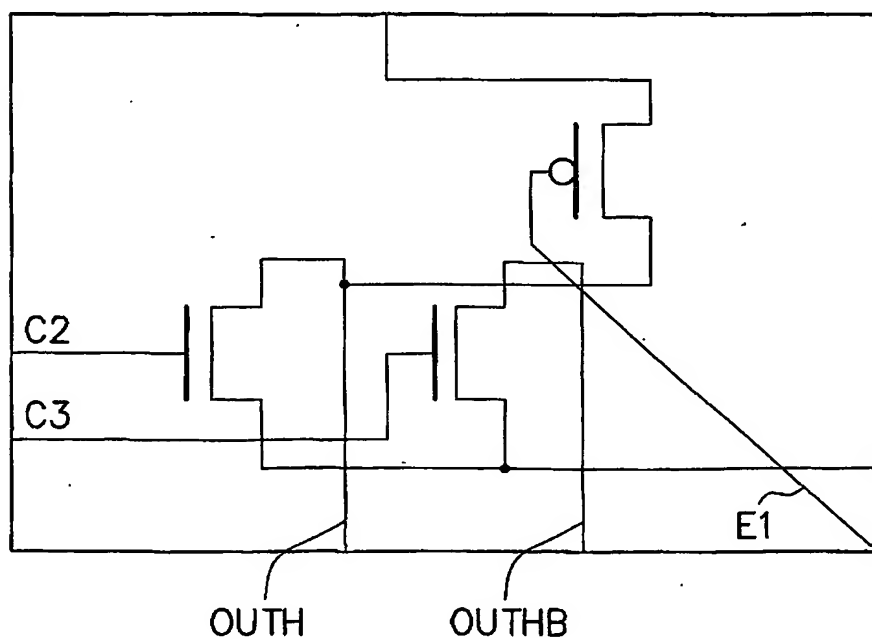
【図 3 4】



【図 3 5】

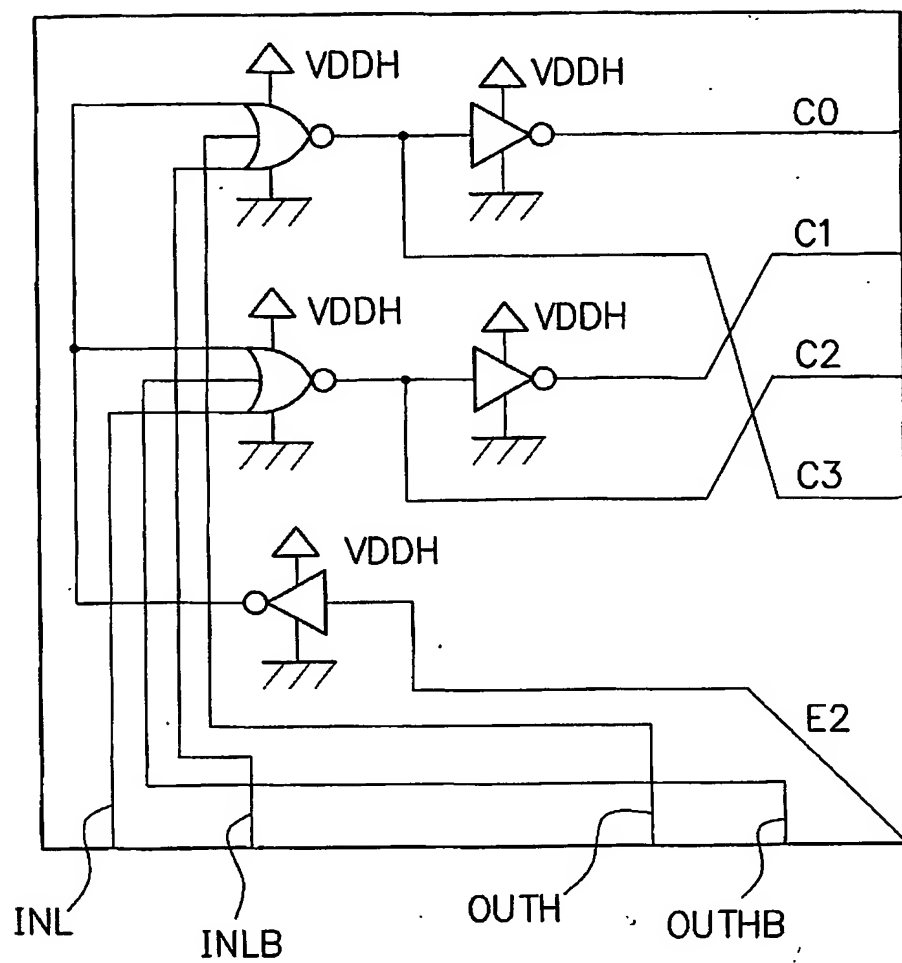


【図 3 6】

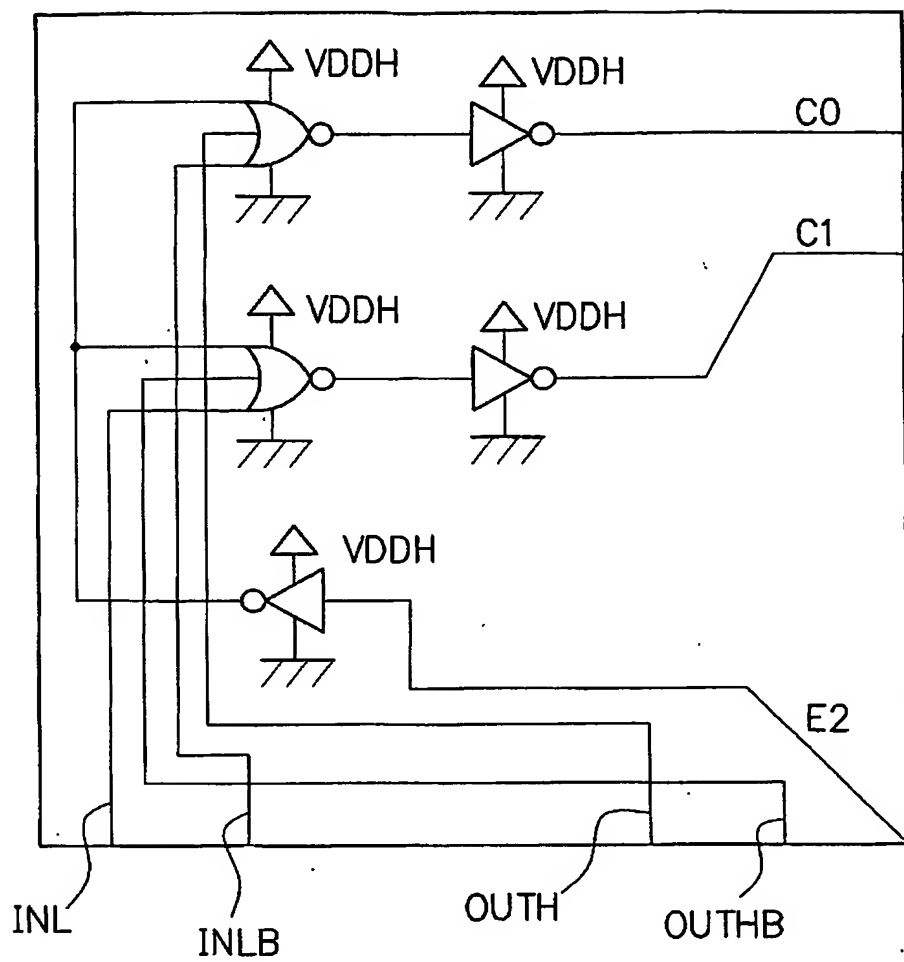




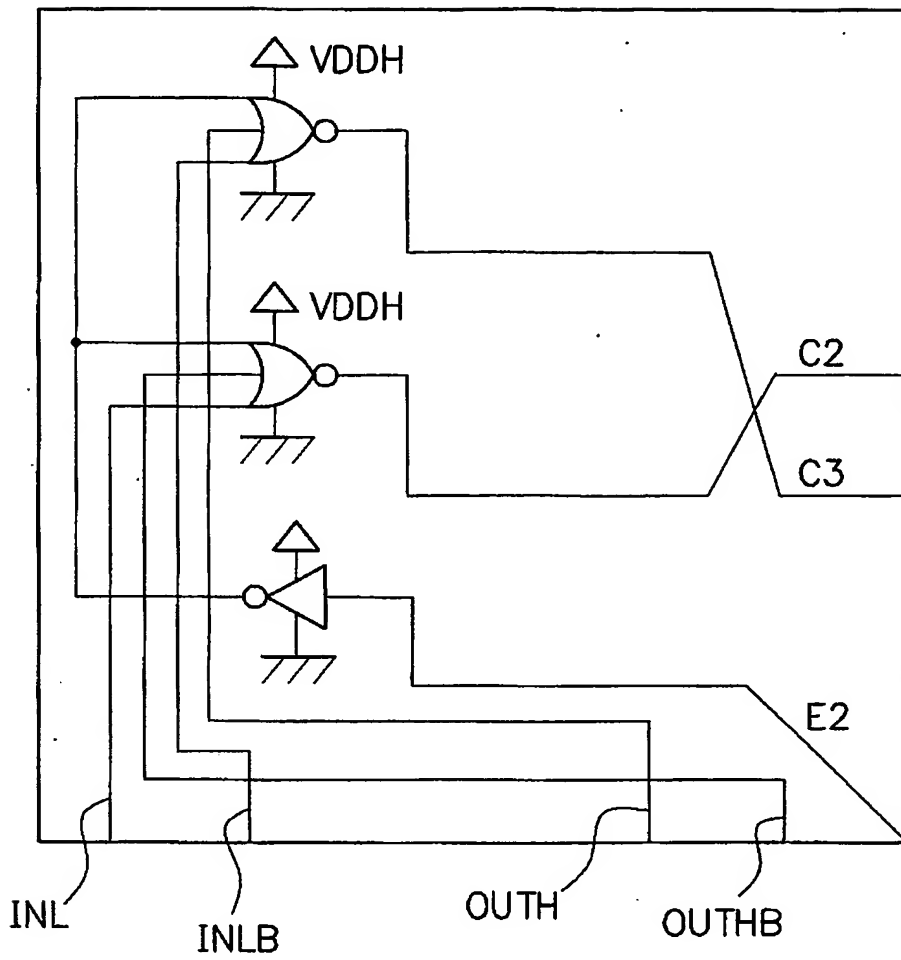
【図3.9】



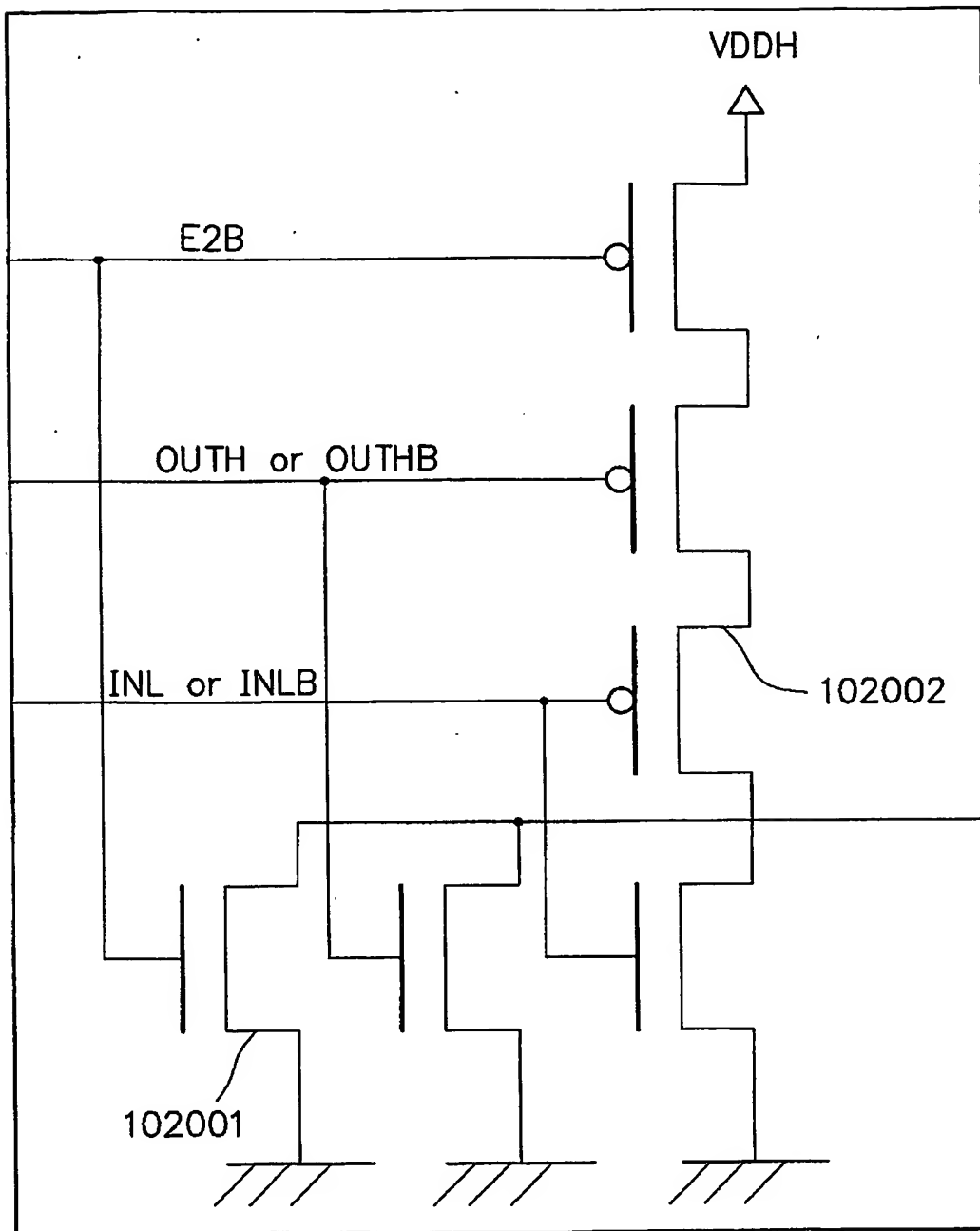
【図 40】



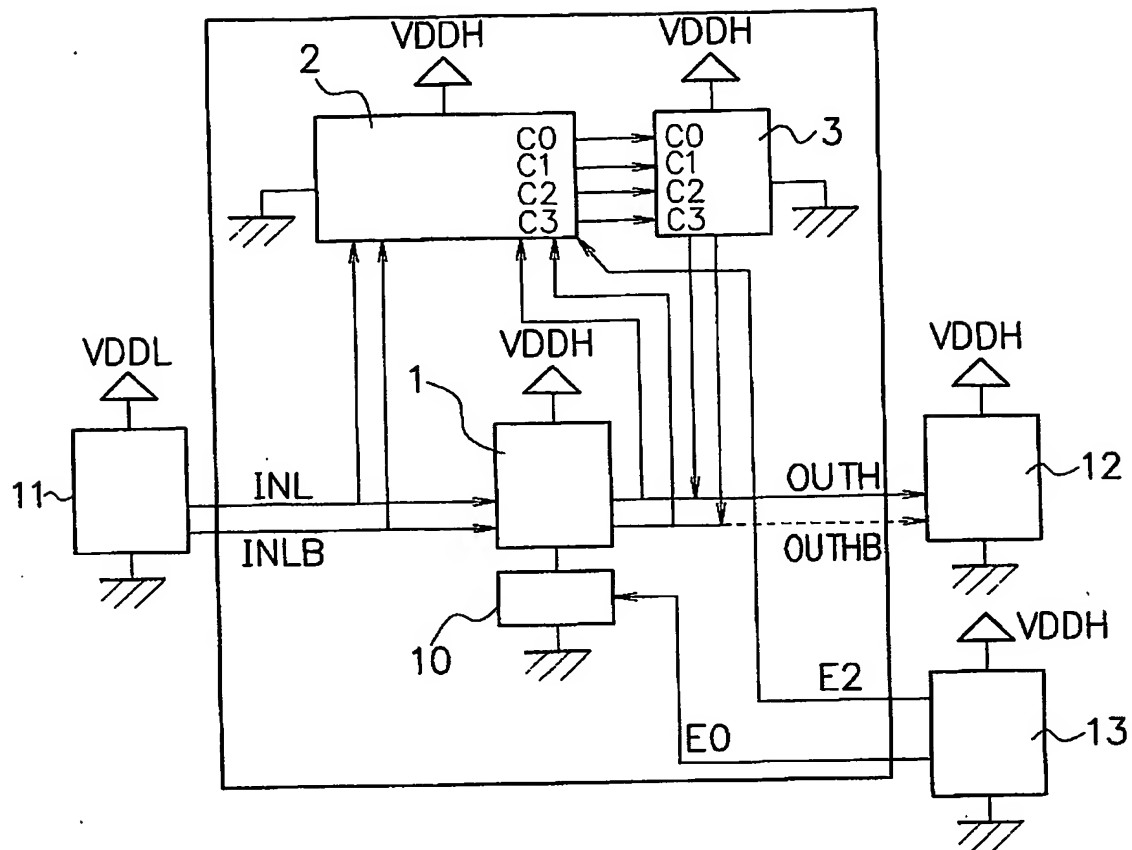
【図 4 1】



【図 4 2】

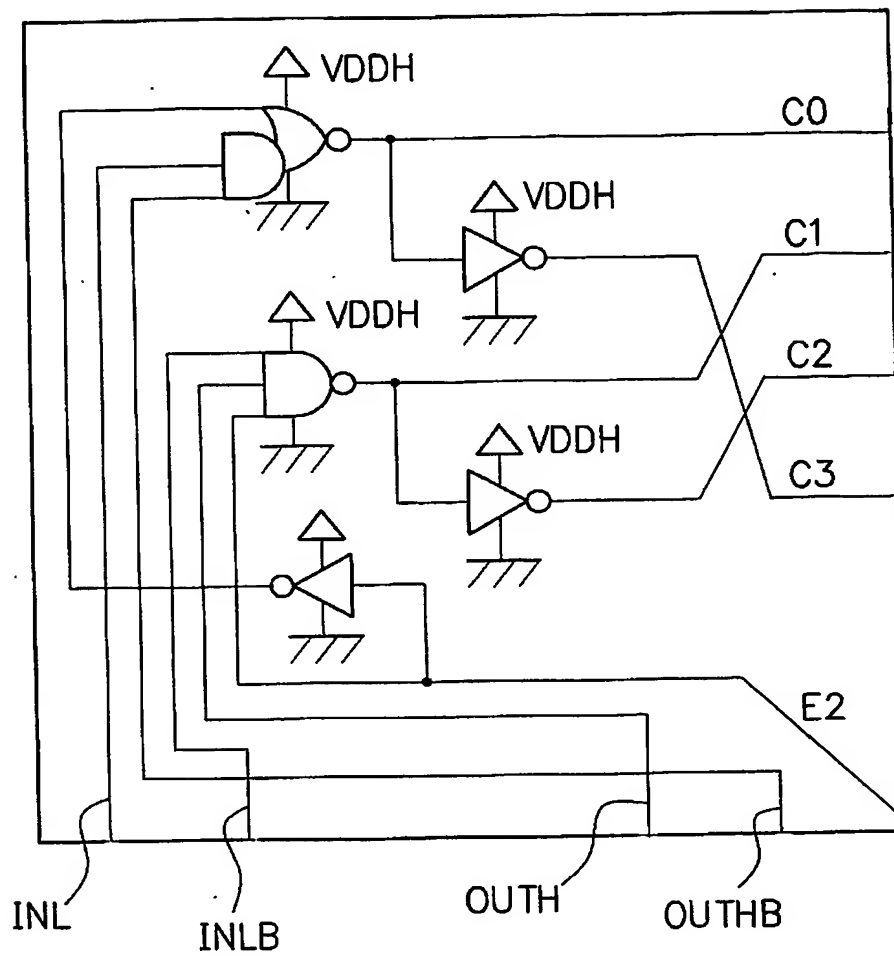


【図 43】

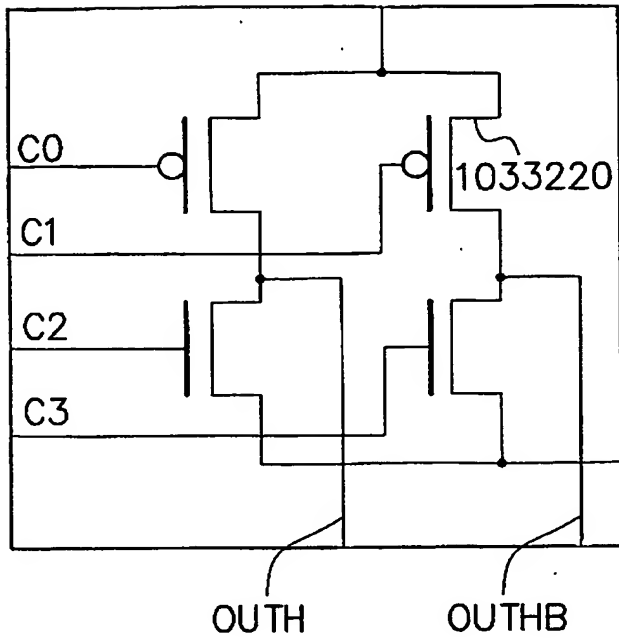




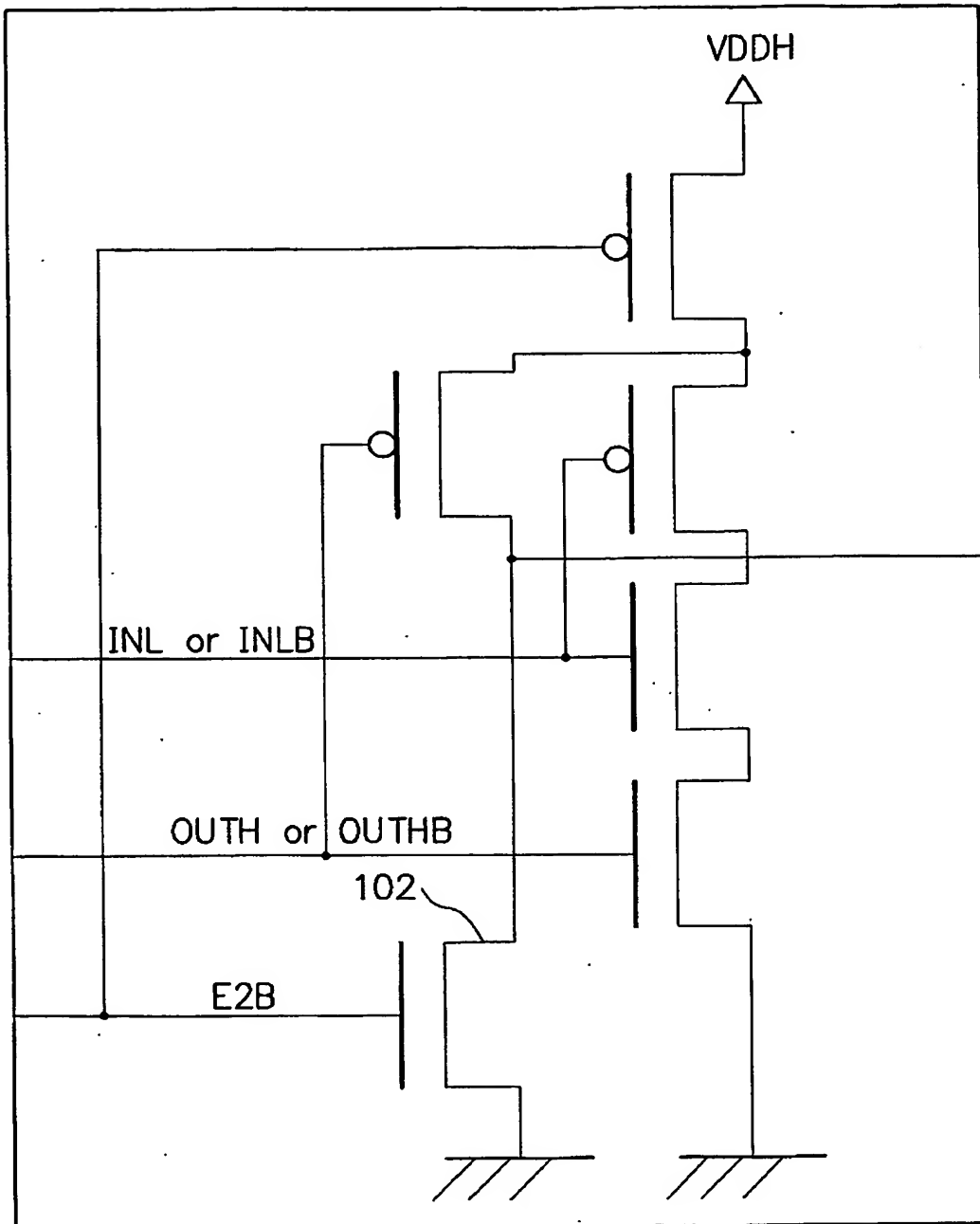
【図 4 4】



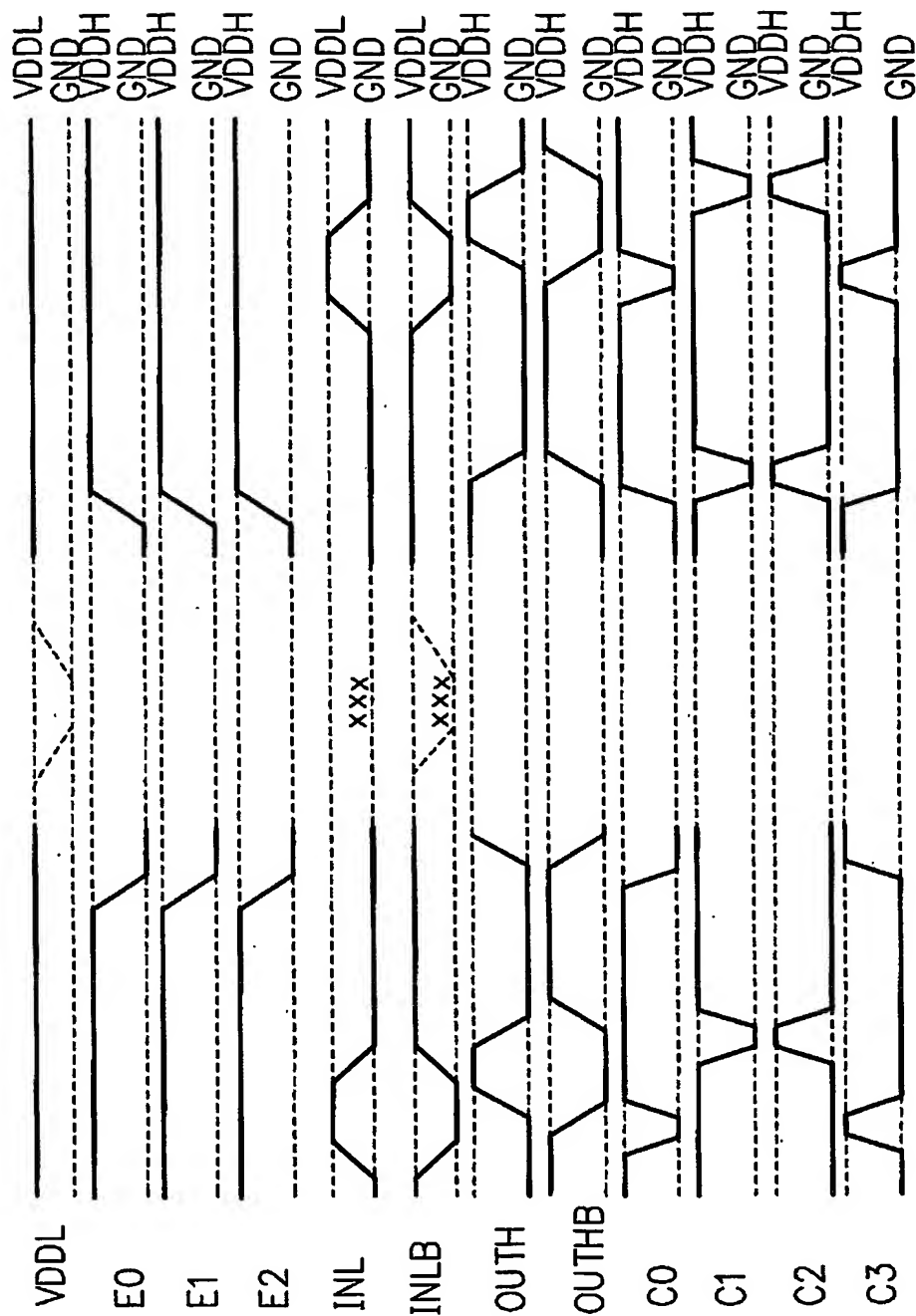
【図 45】



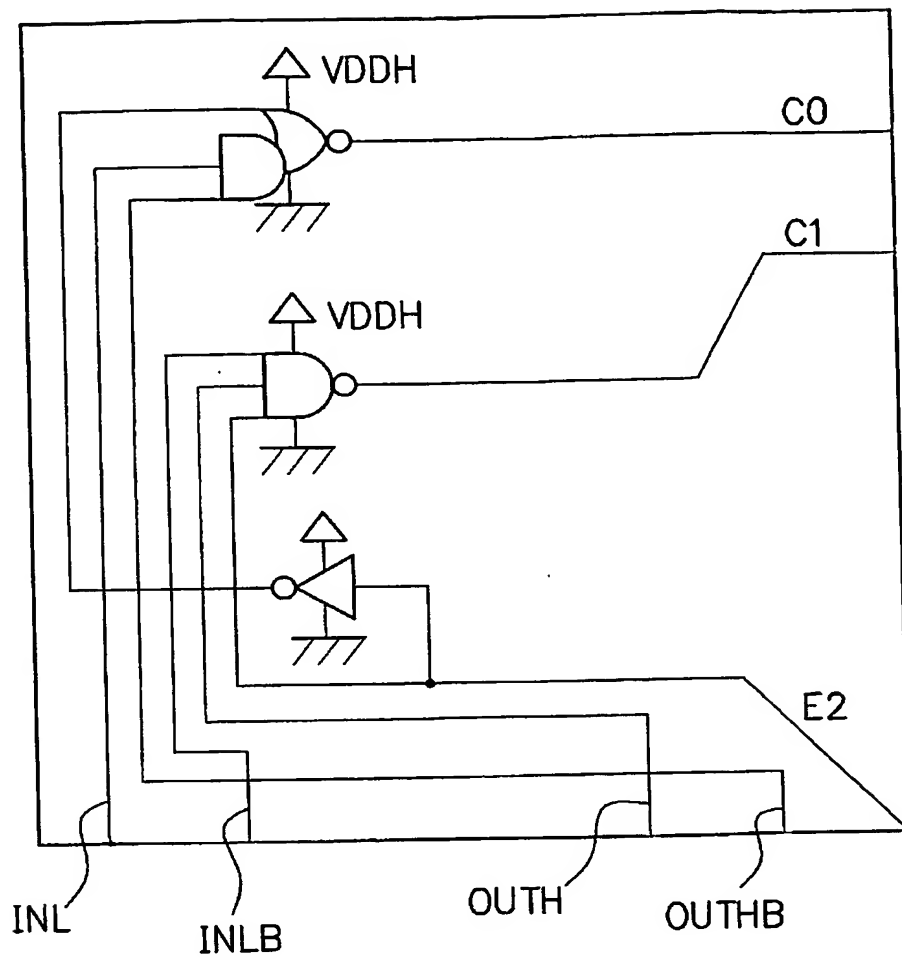
【図 46】



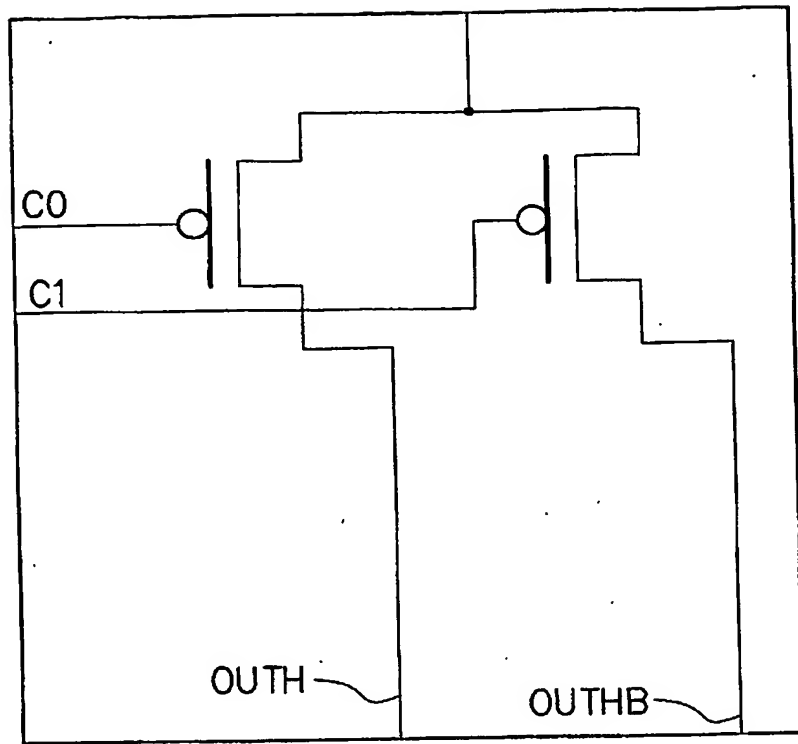
【図47】



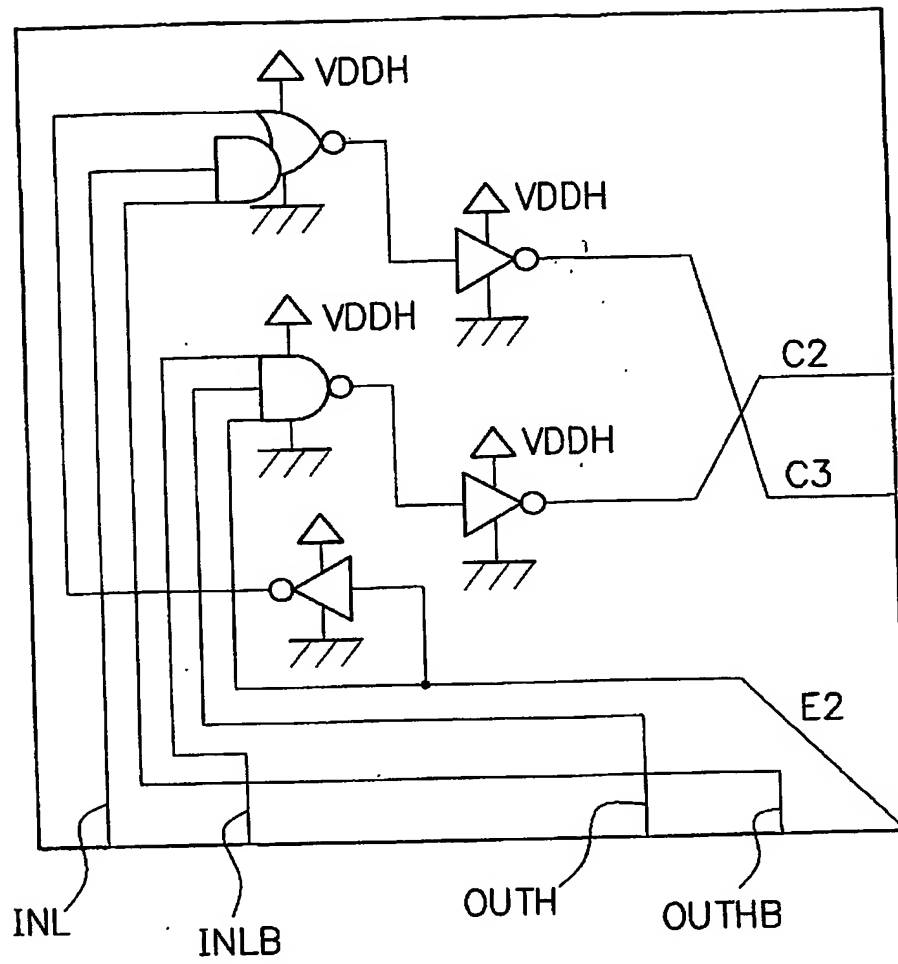
【図48】



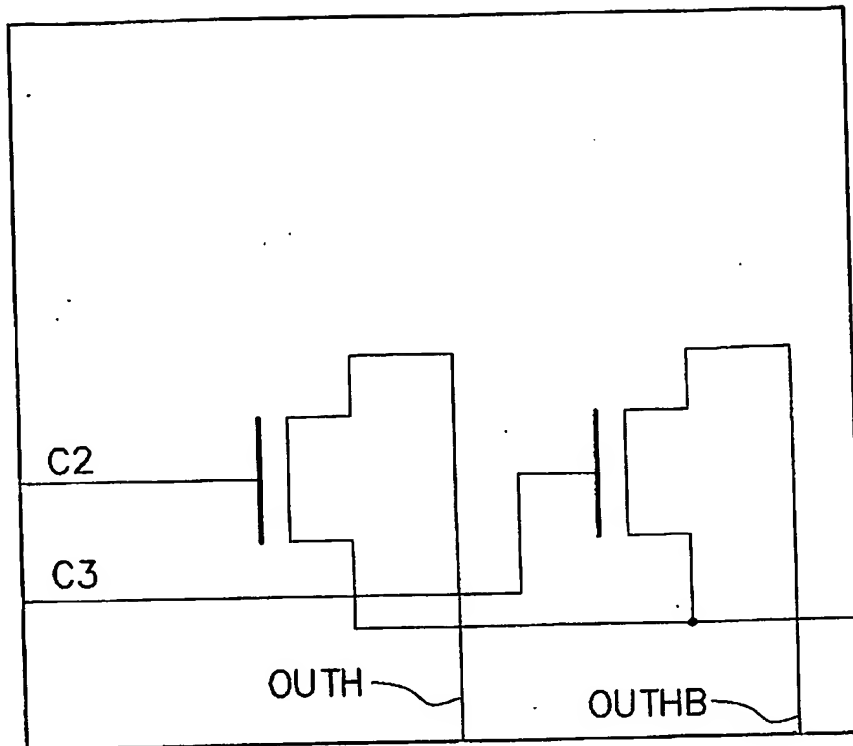
【図49】



【図50】

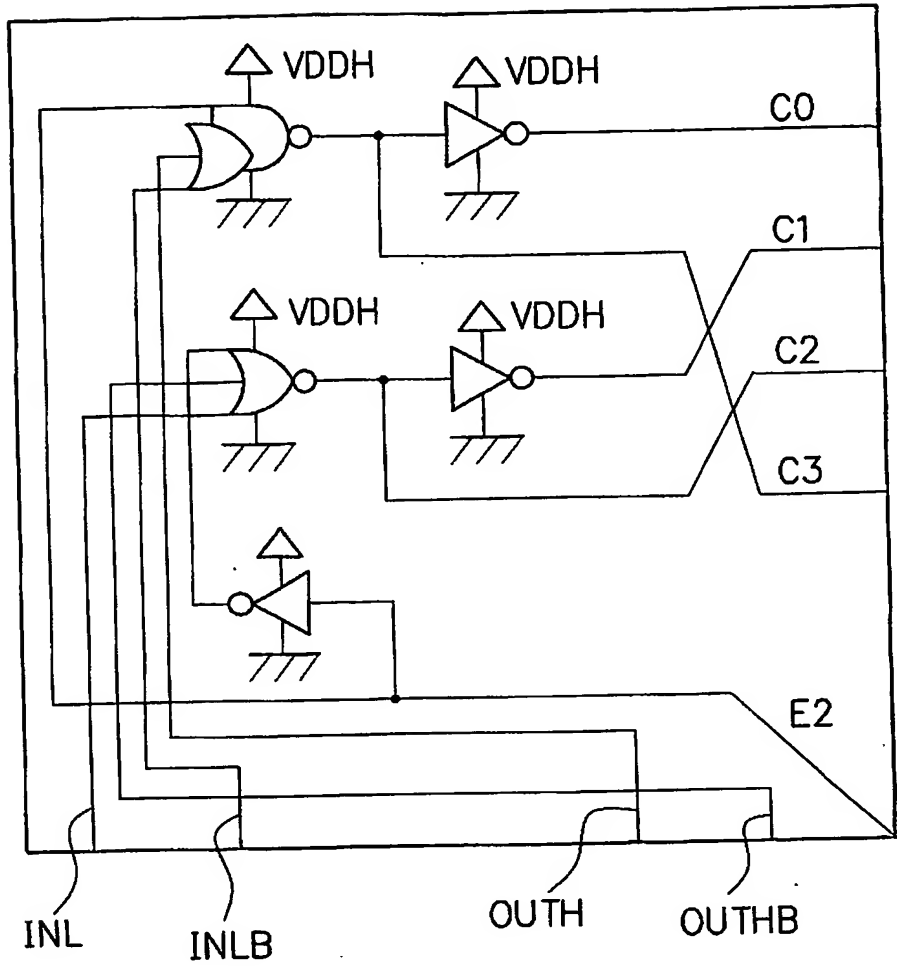


【図51】

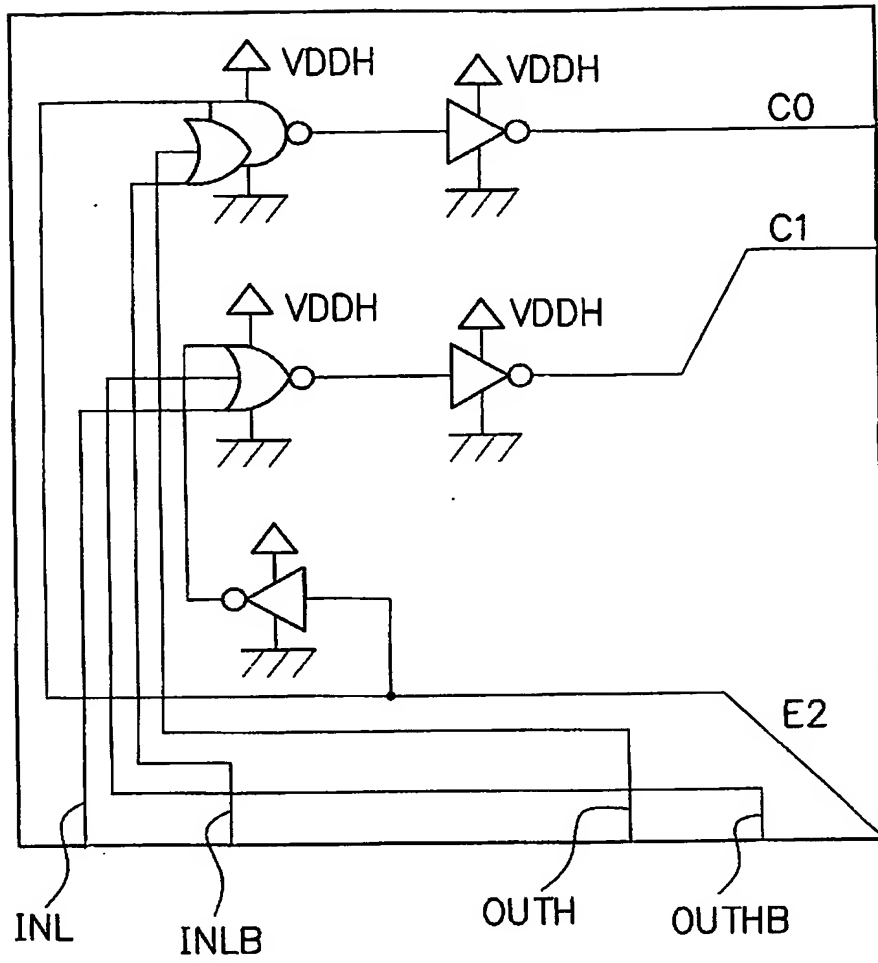




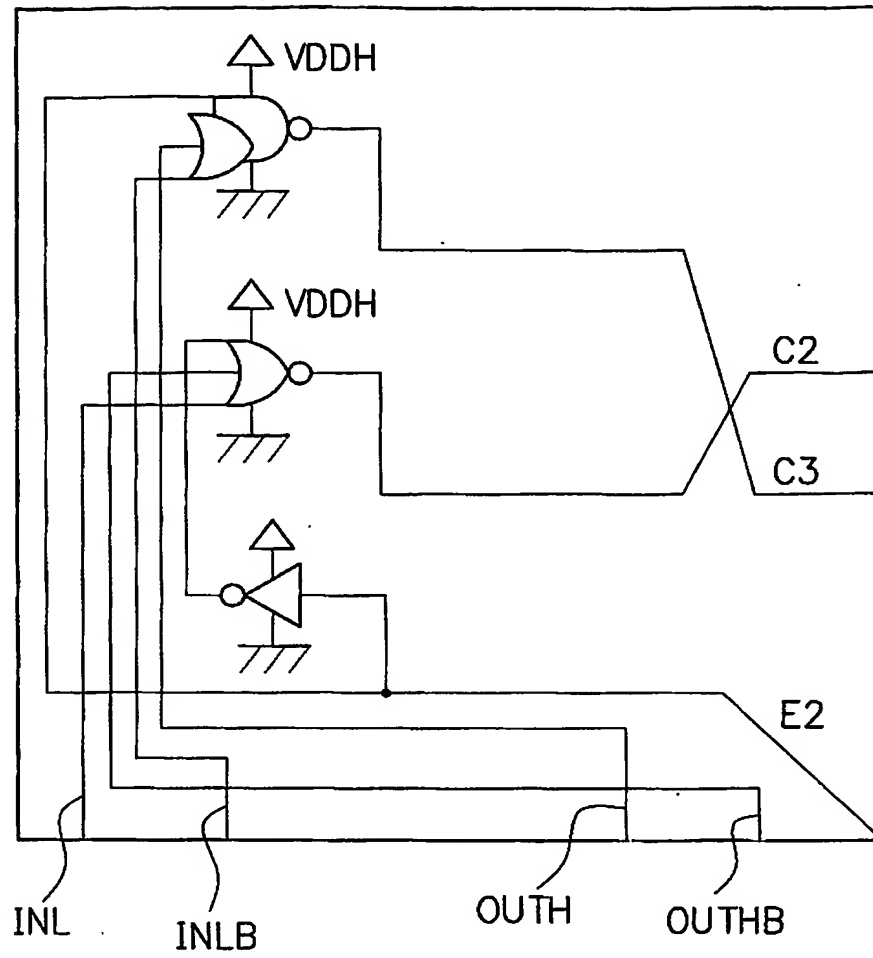
【図52】



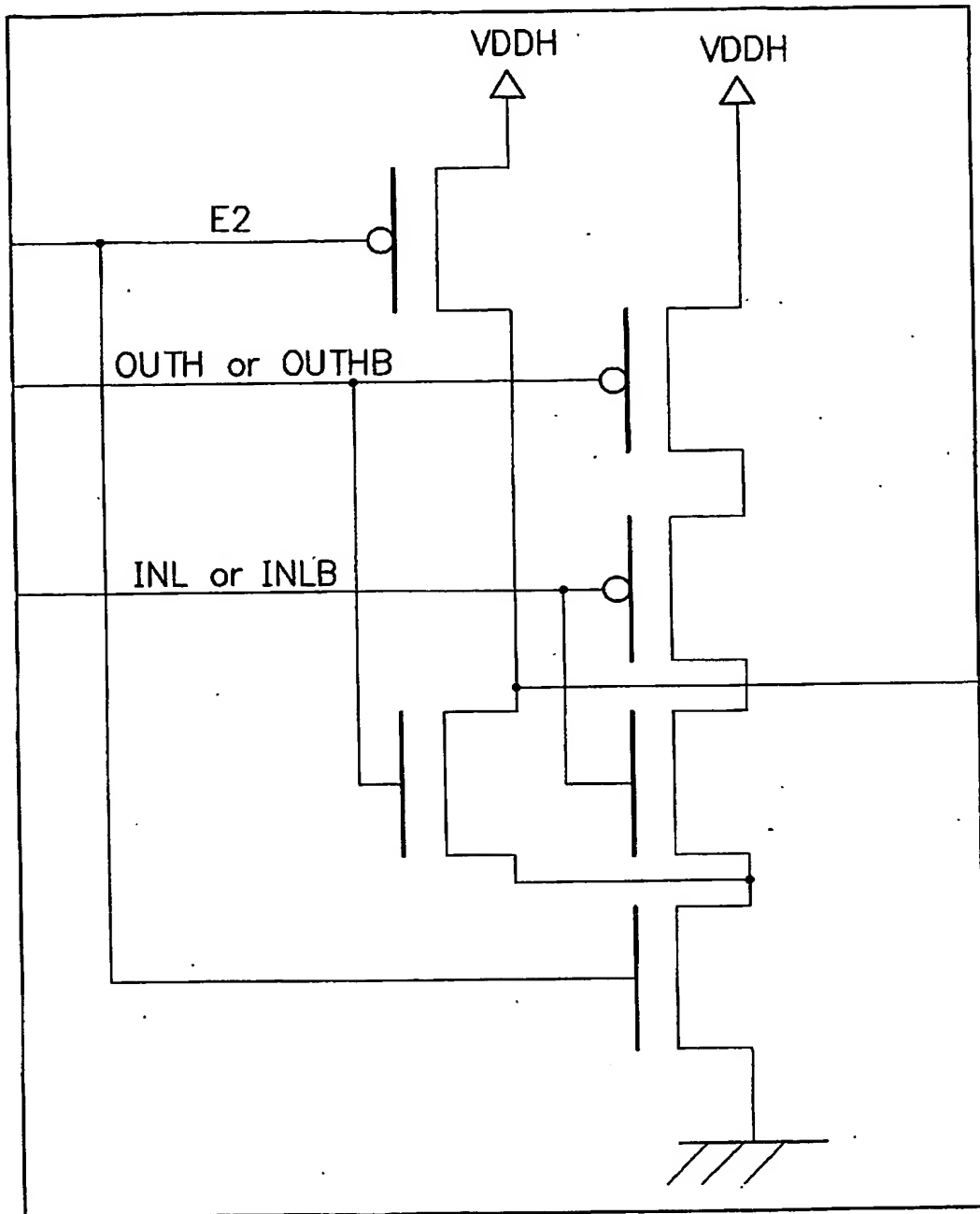
【図 5 3】



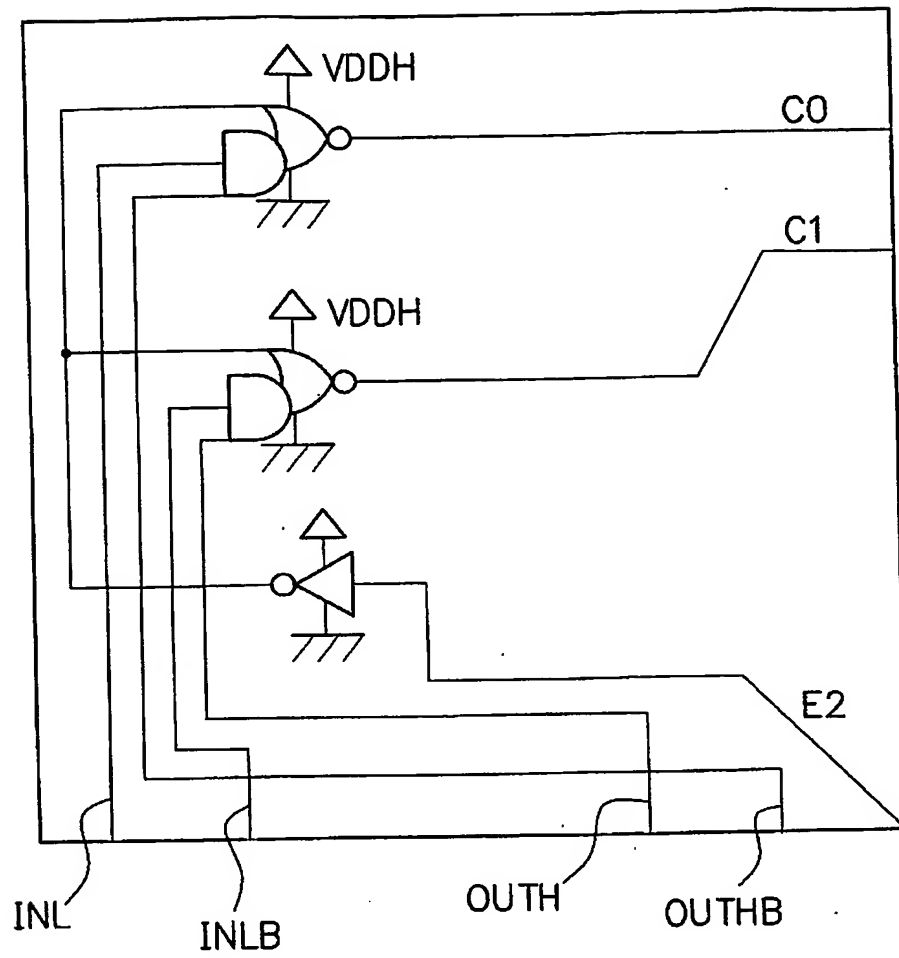
【図 5 4】



【図55】

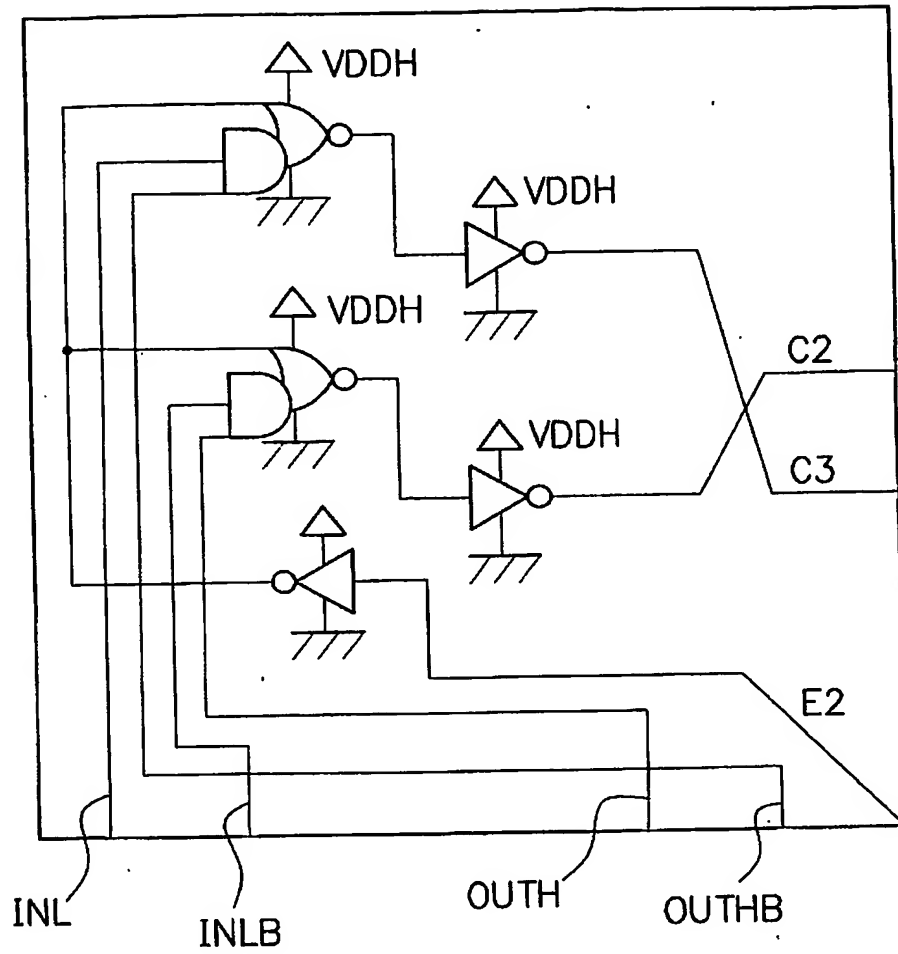


【図 56】

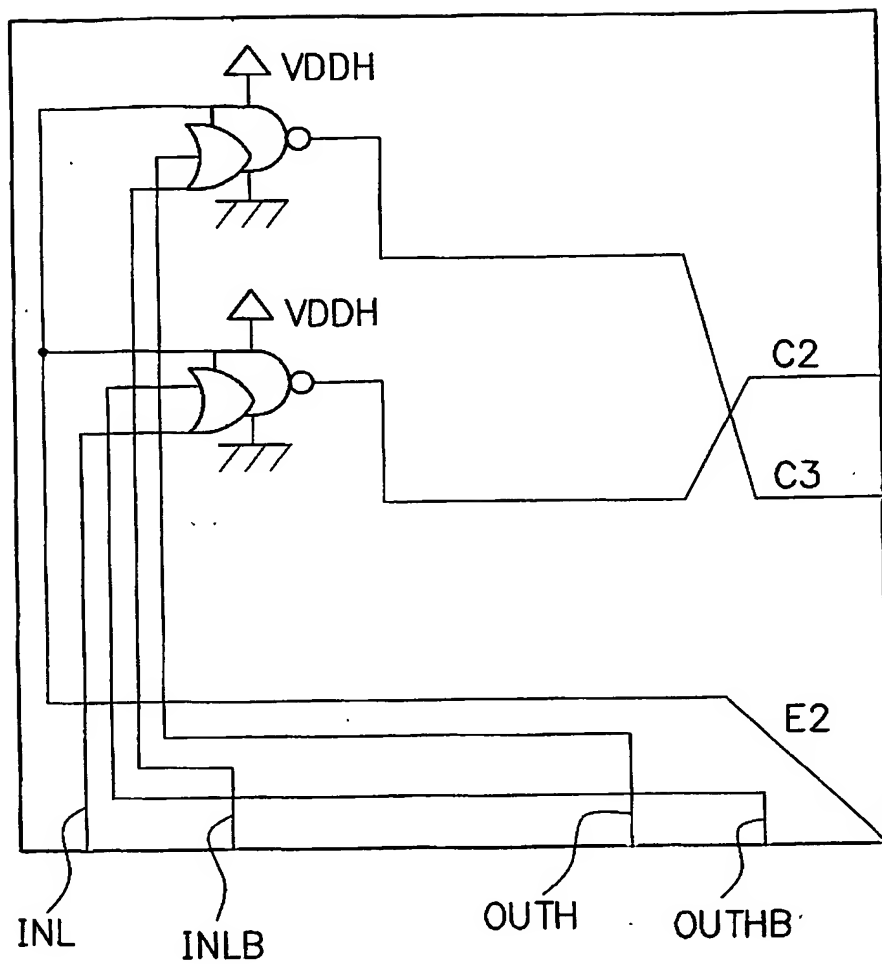




【図 58】

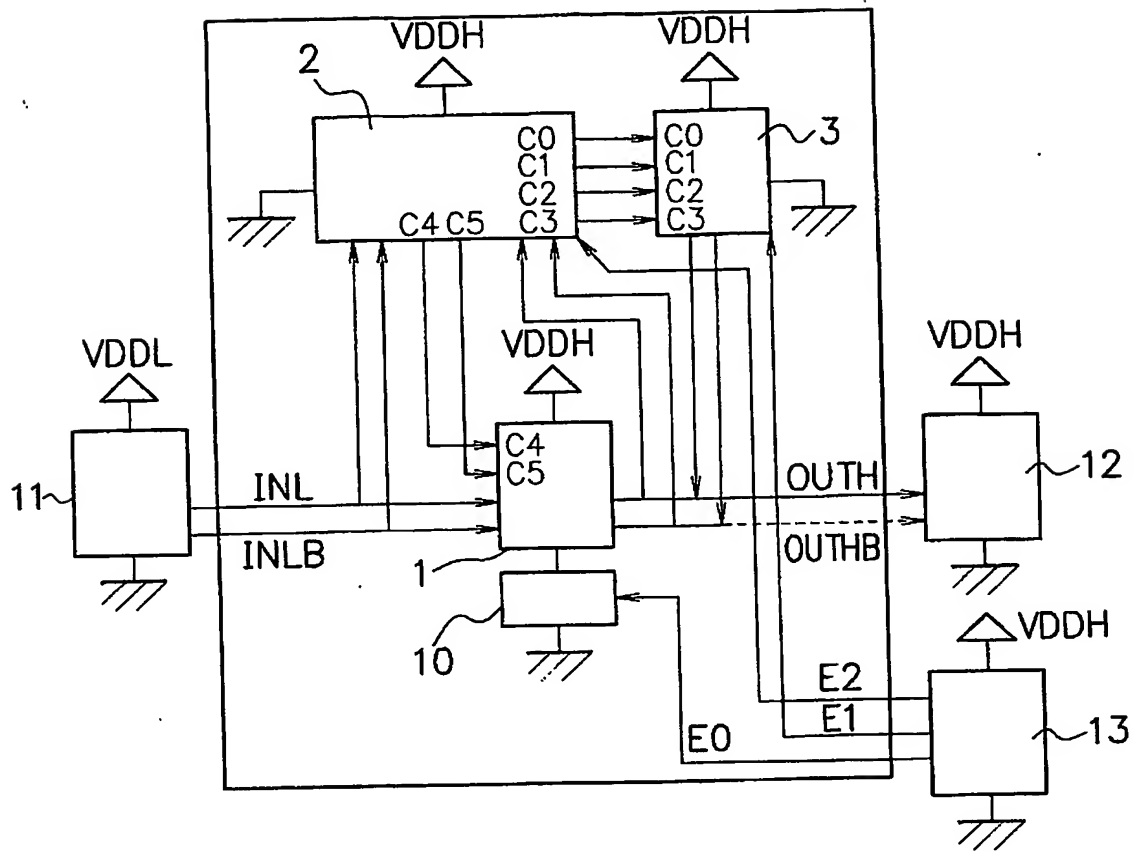


【図59】



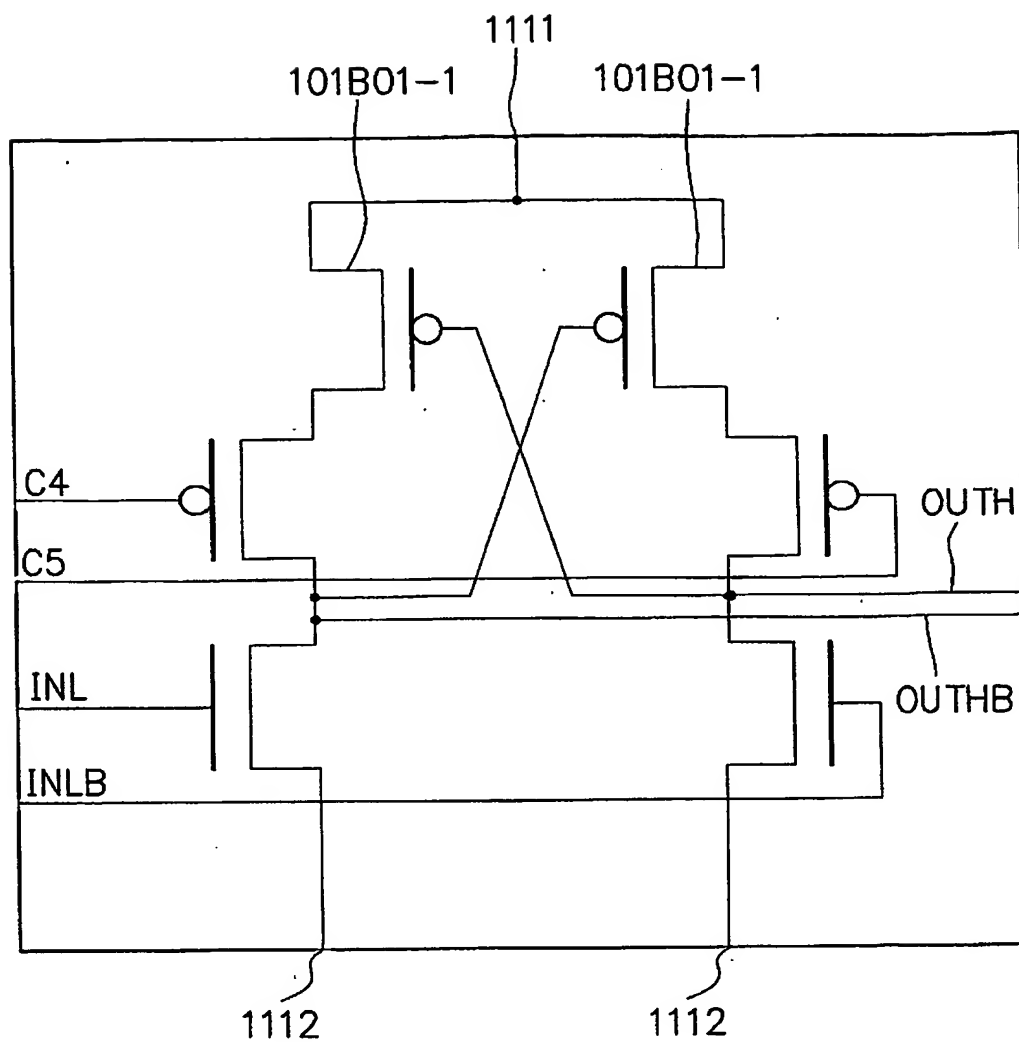


【図60】

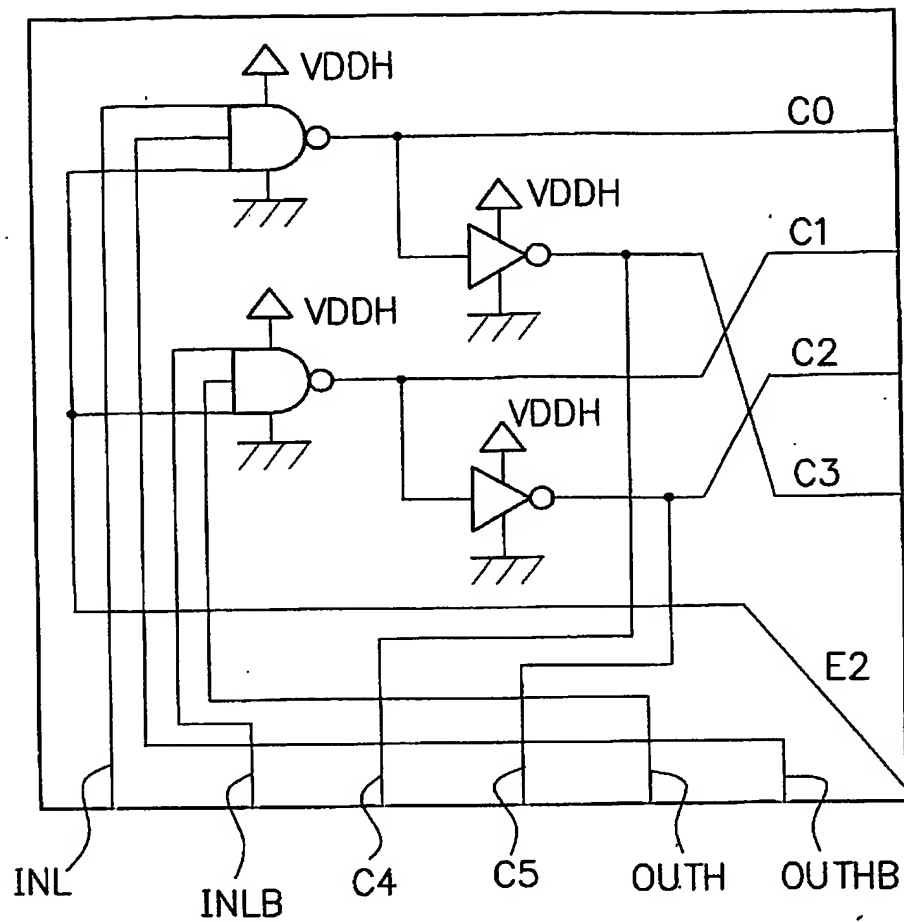




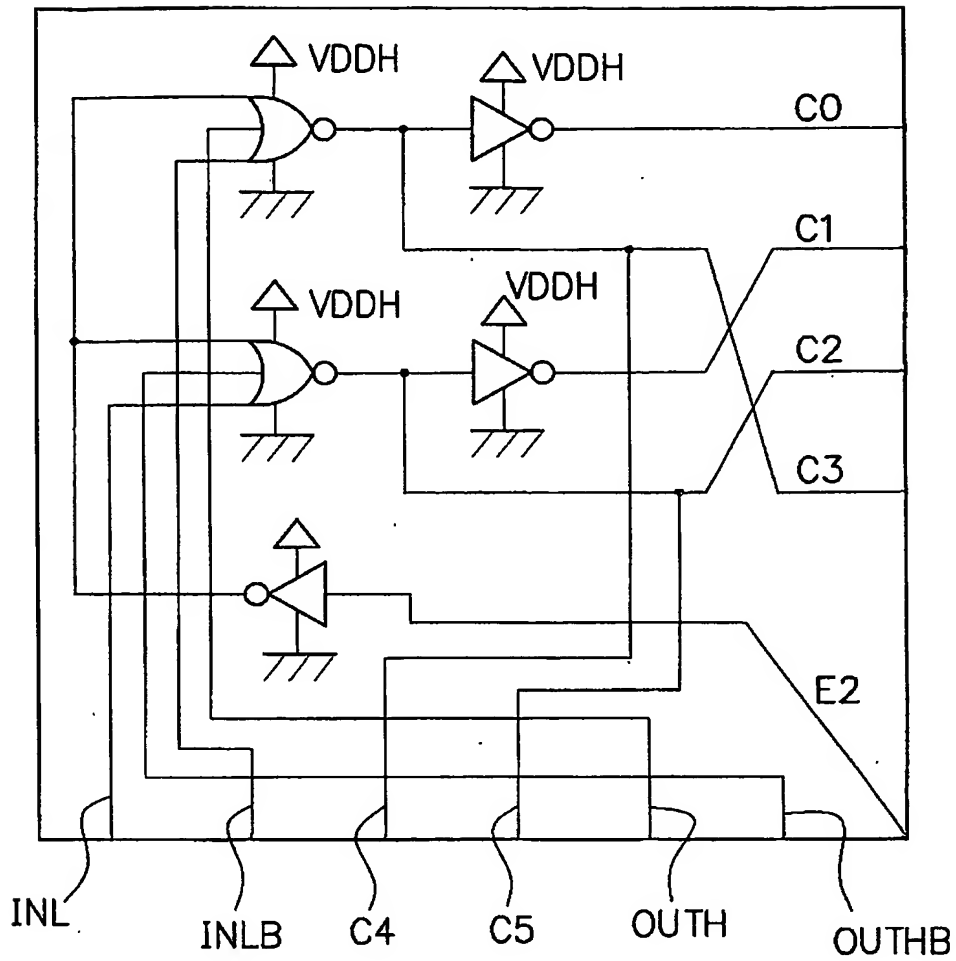
【図 6 2】



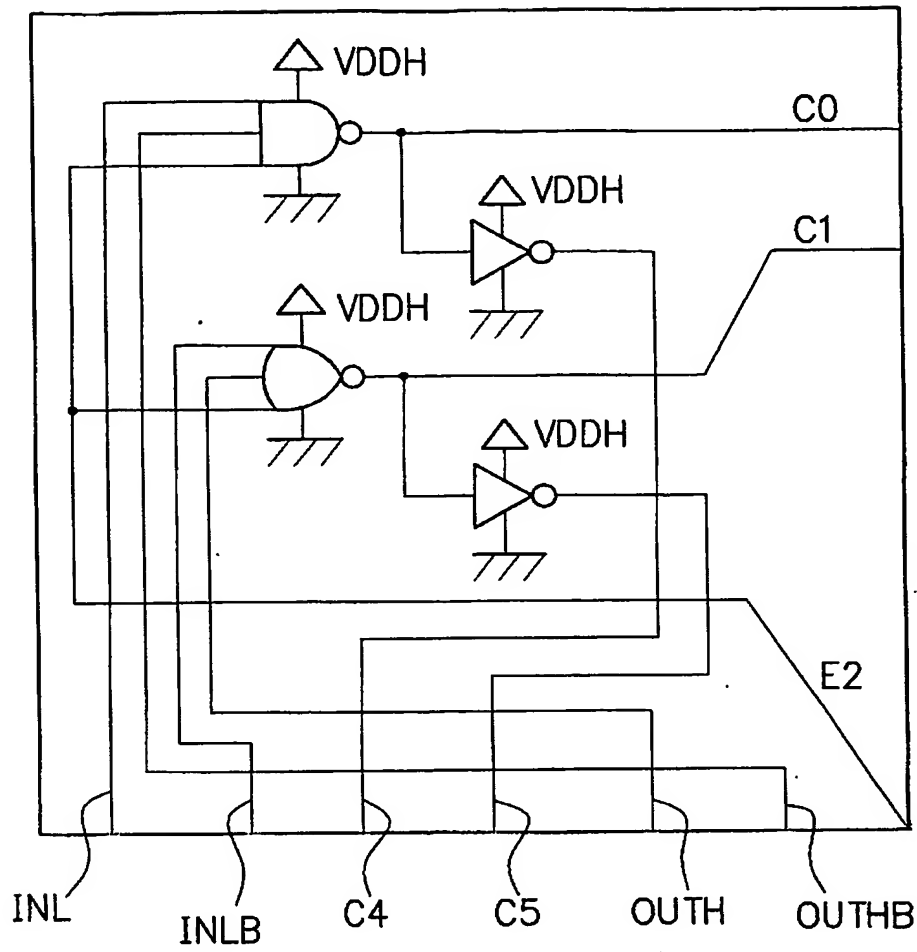
【図 63】



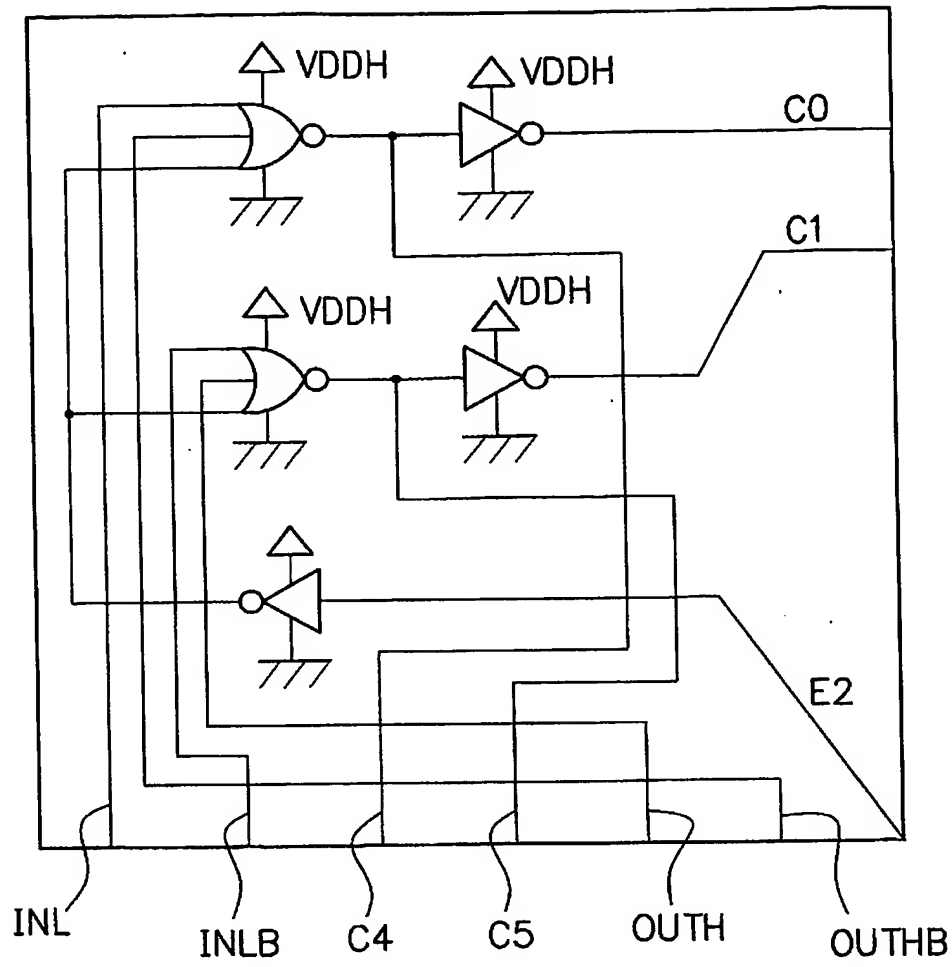
【図 6 4】



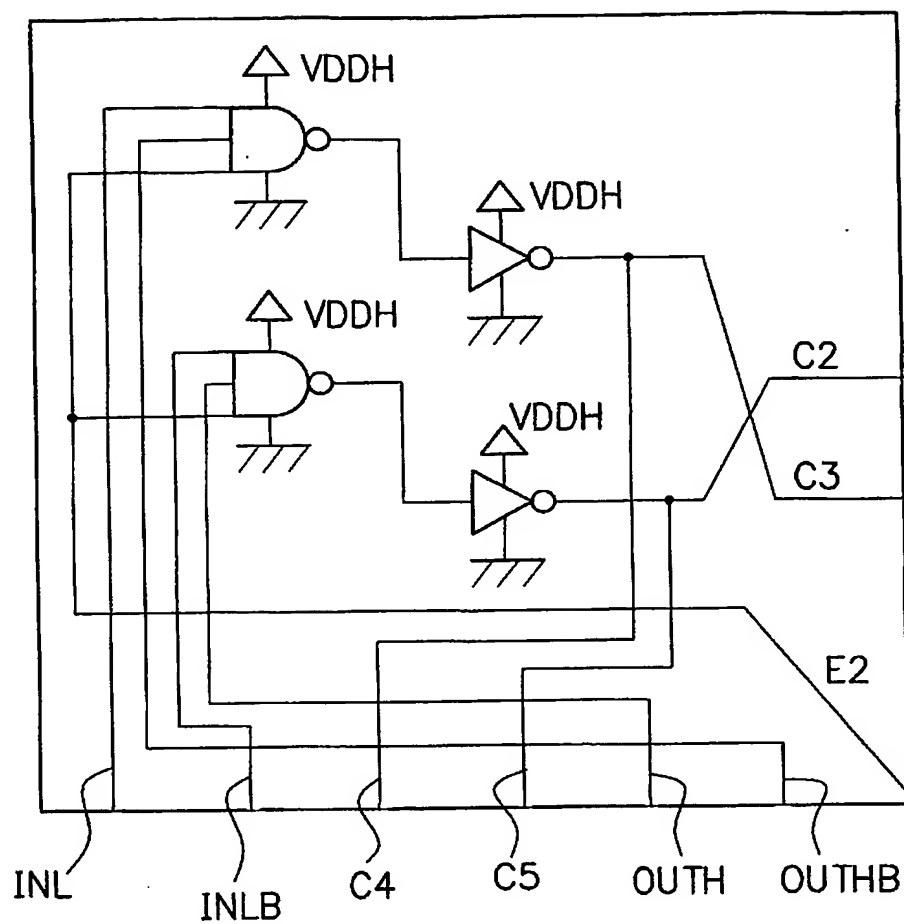
【図 6 5】



【図 6 6】

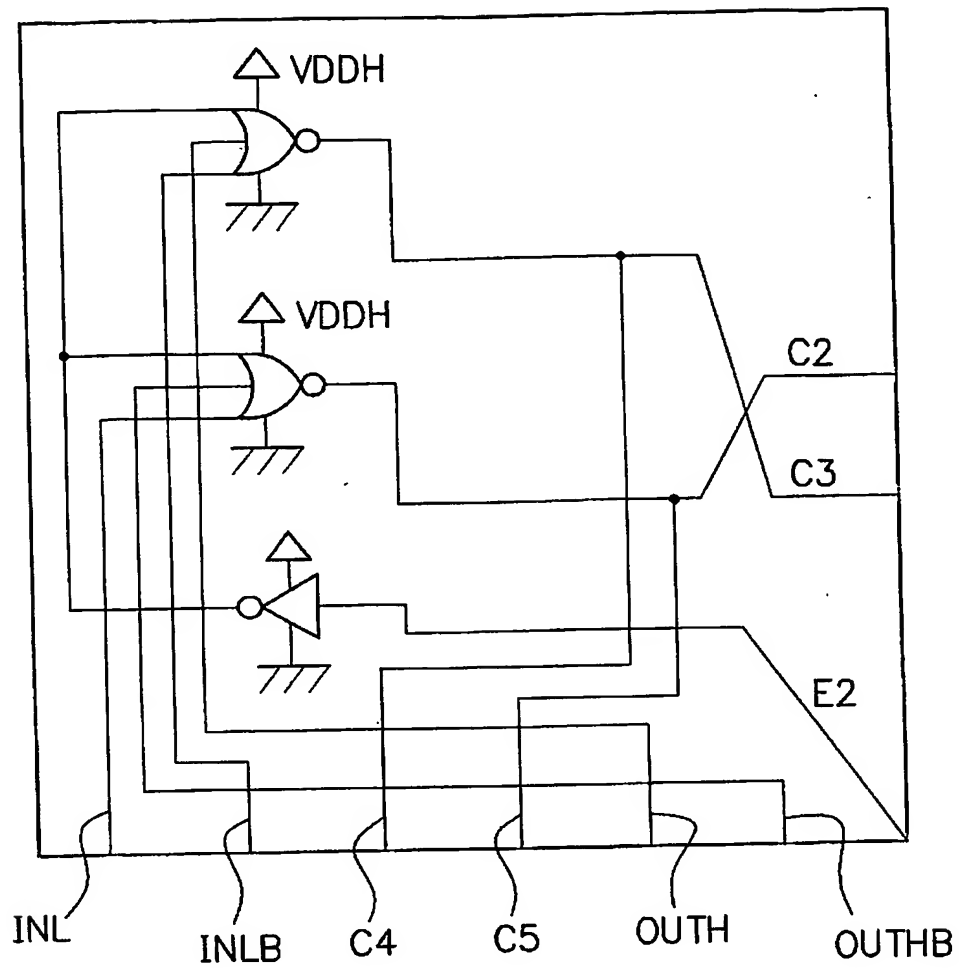


【図 67】

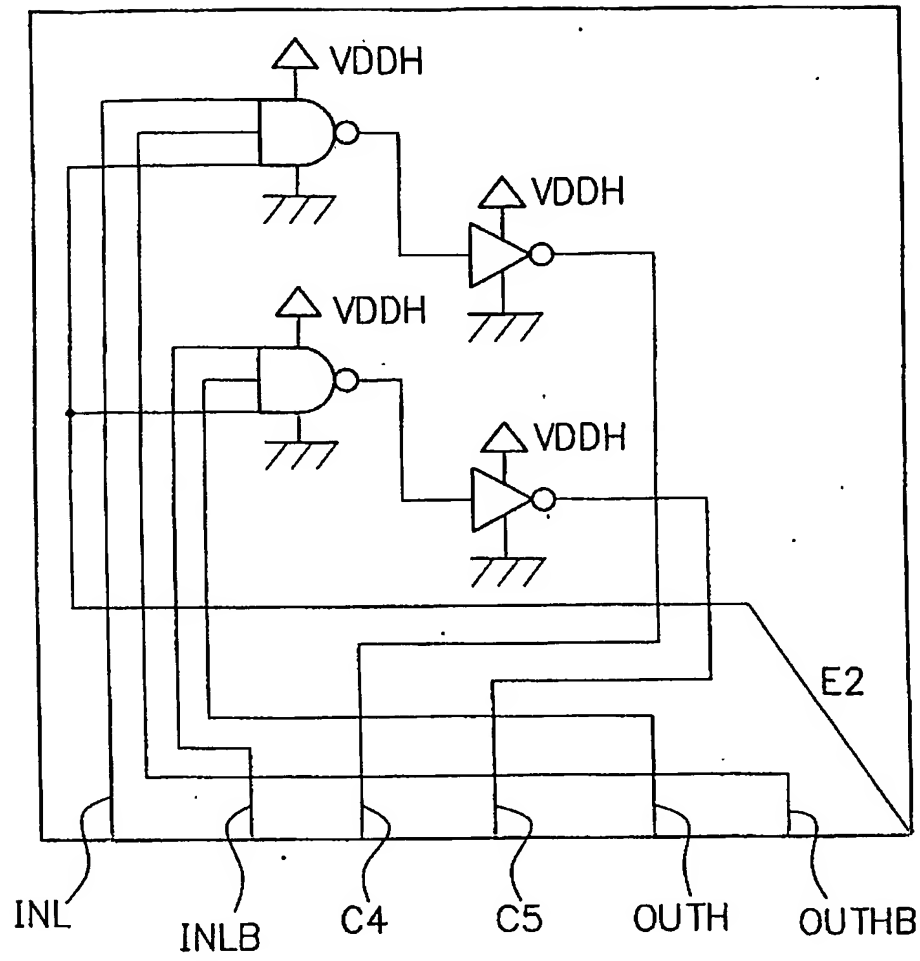




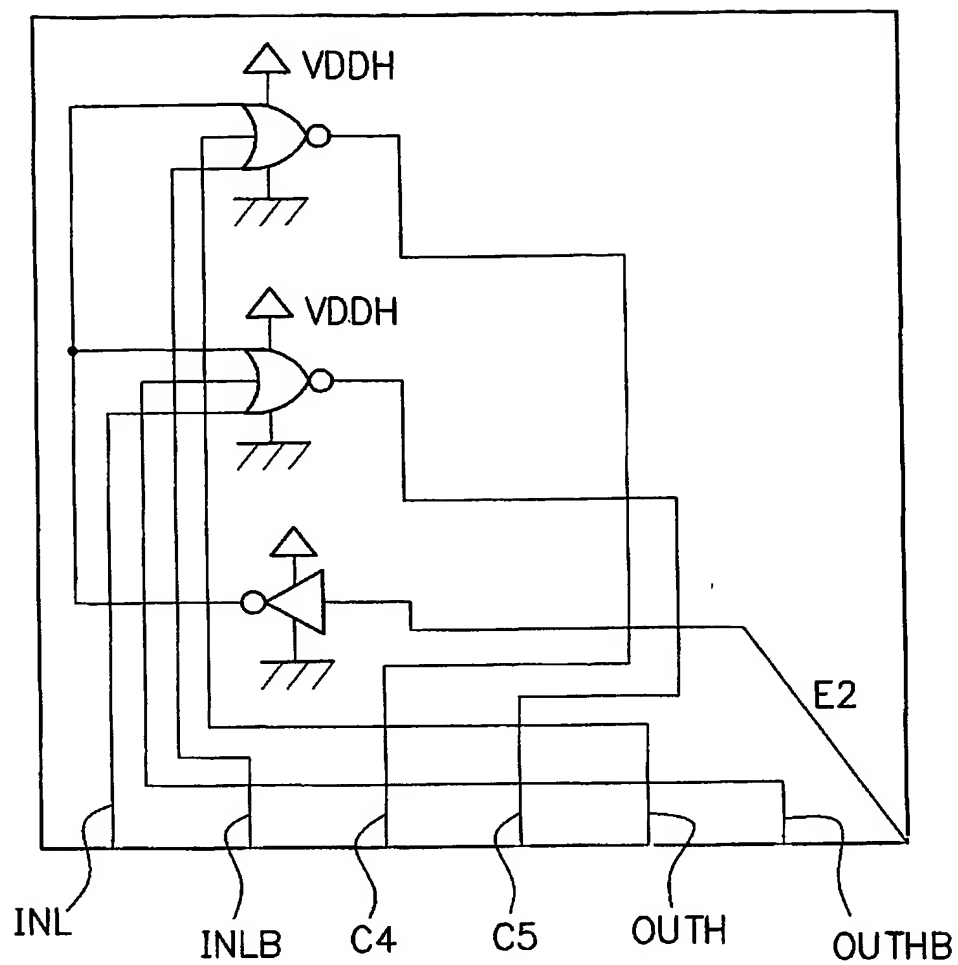
【図 68】



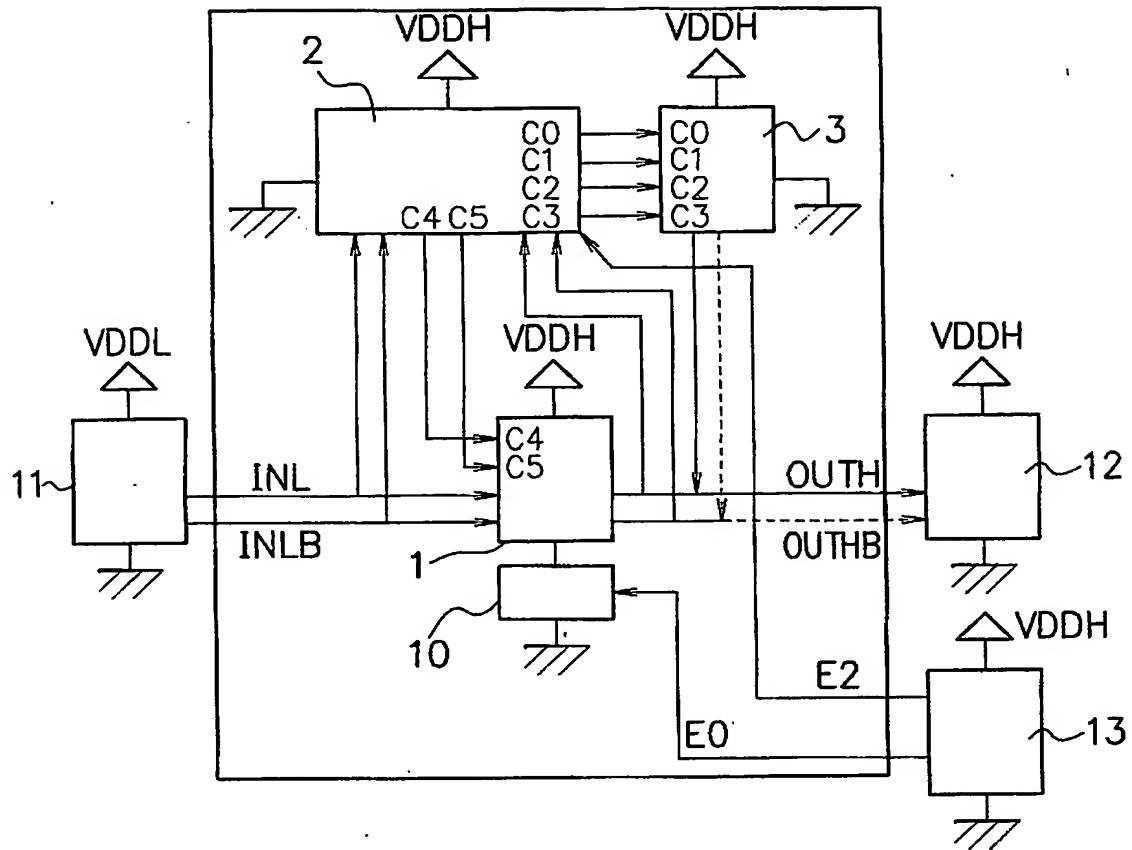
【図 69】



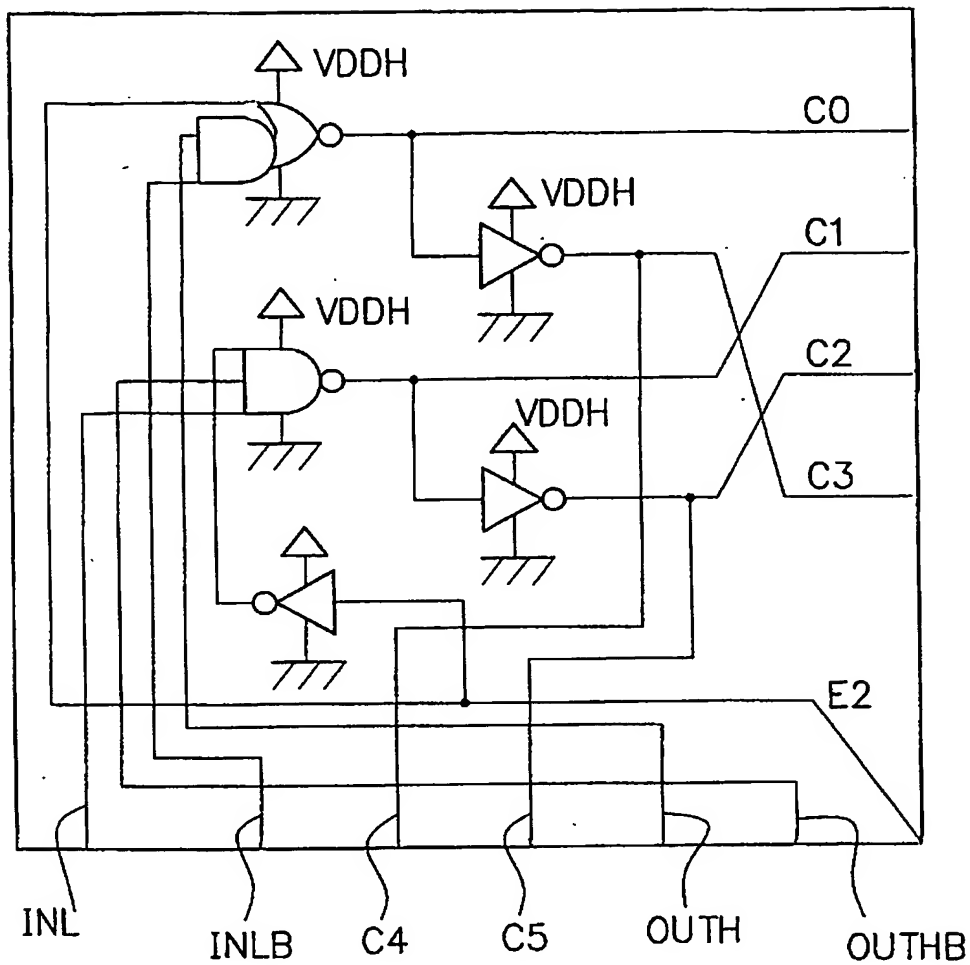
【図70】



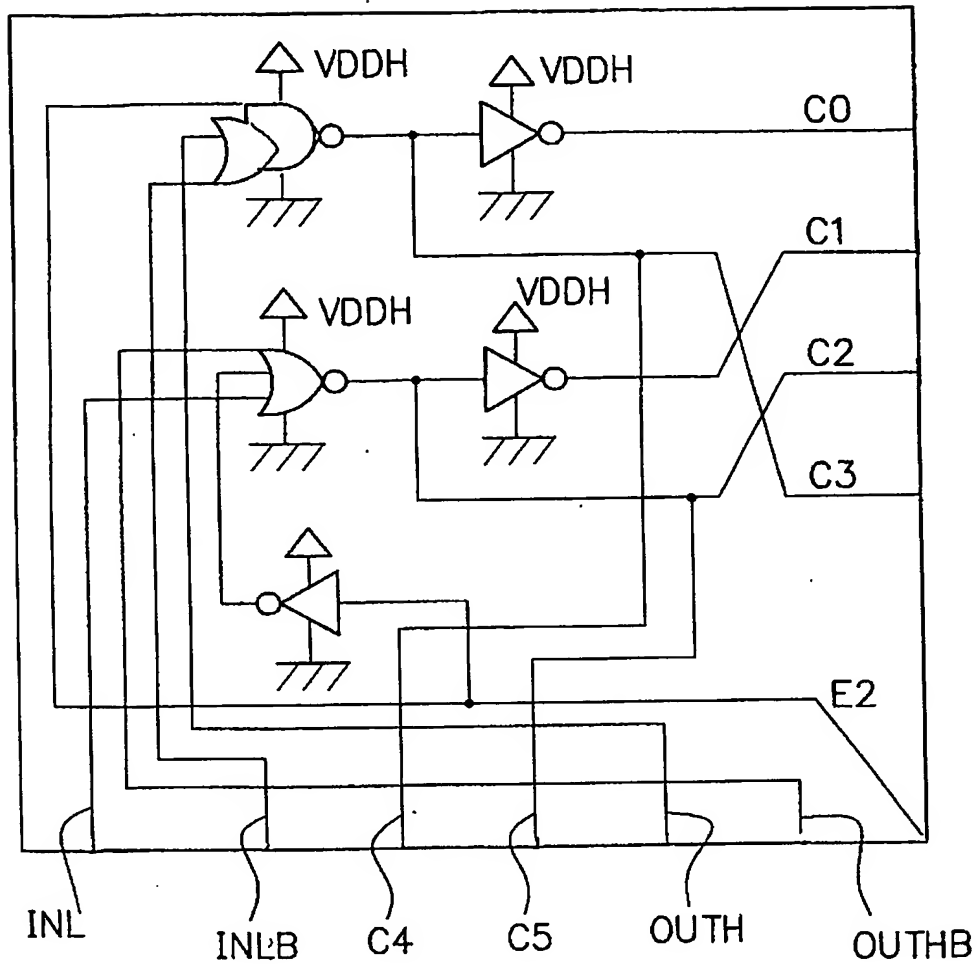
【図 7 1】



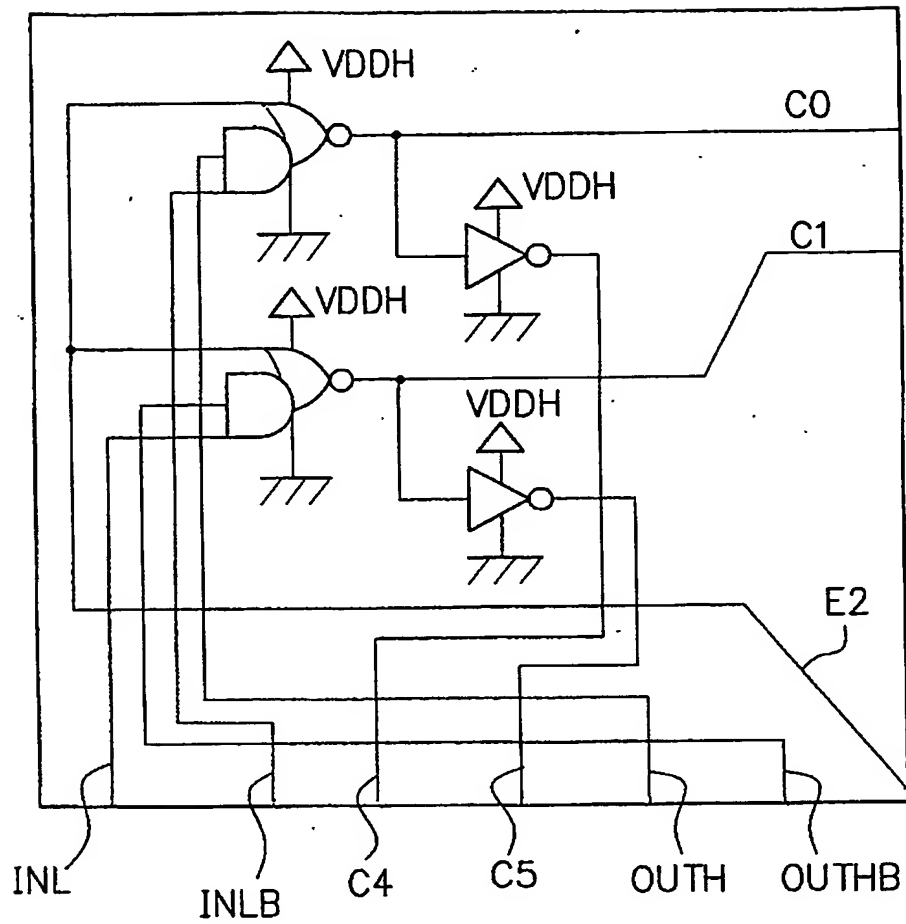
【図 72】



【図73】



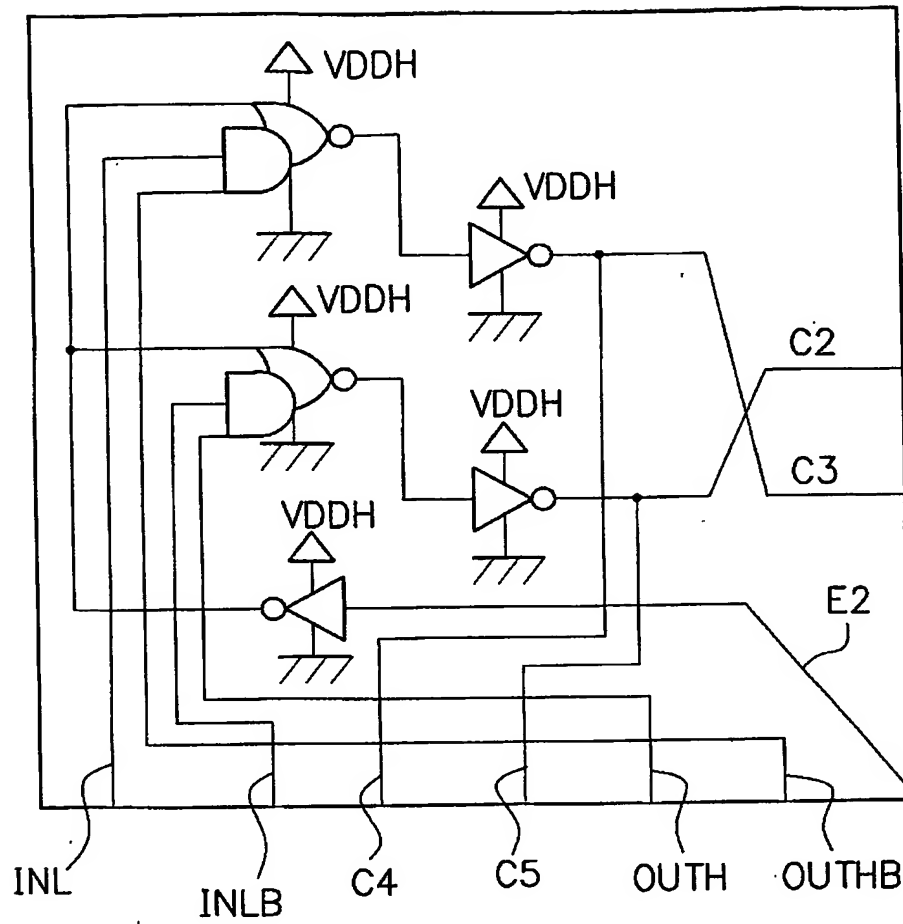
【図 7 4】



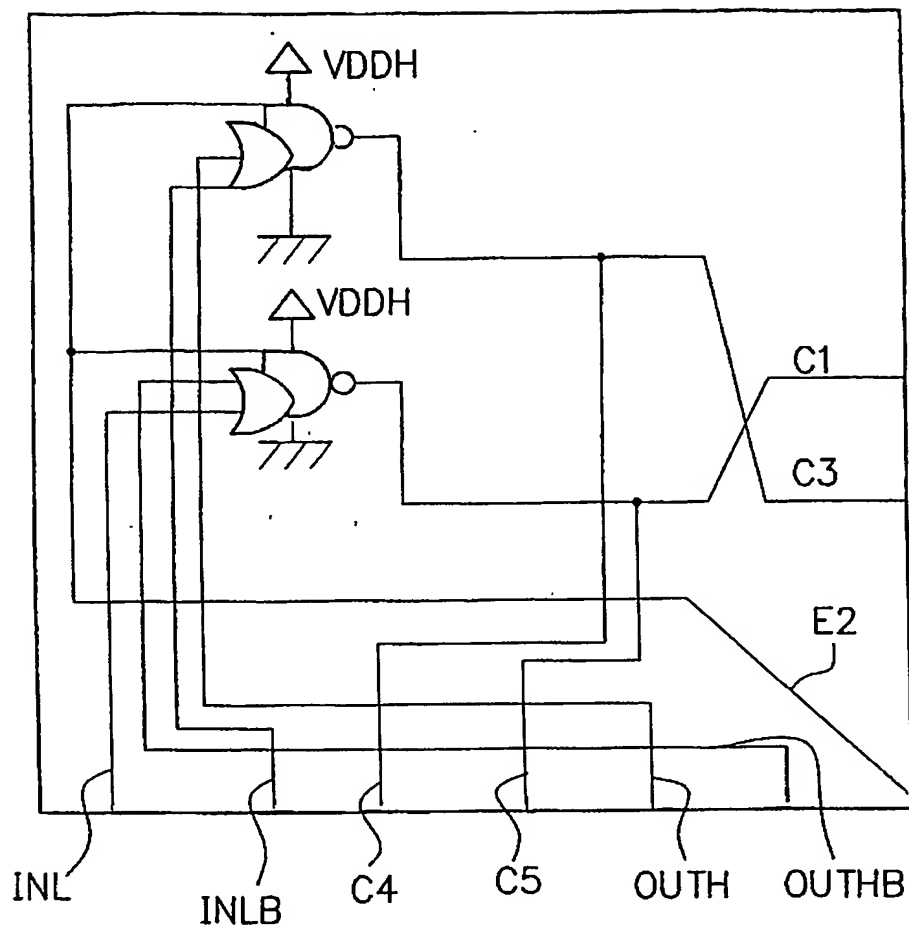




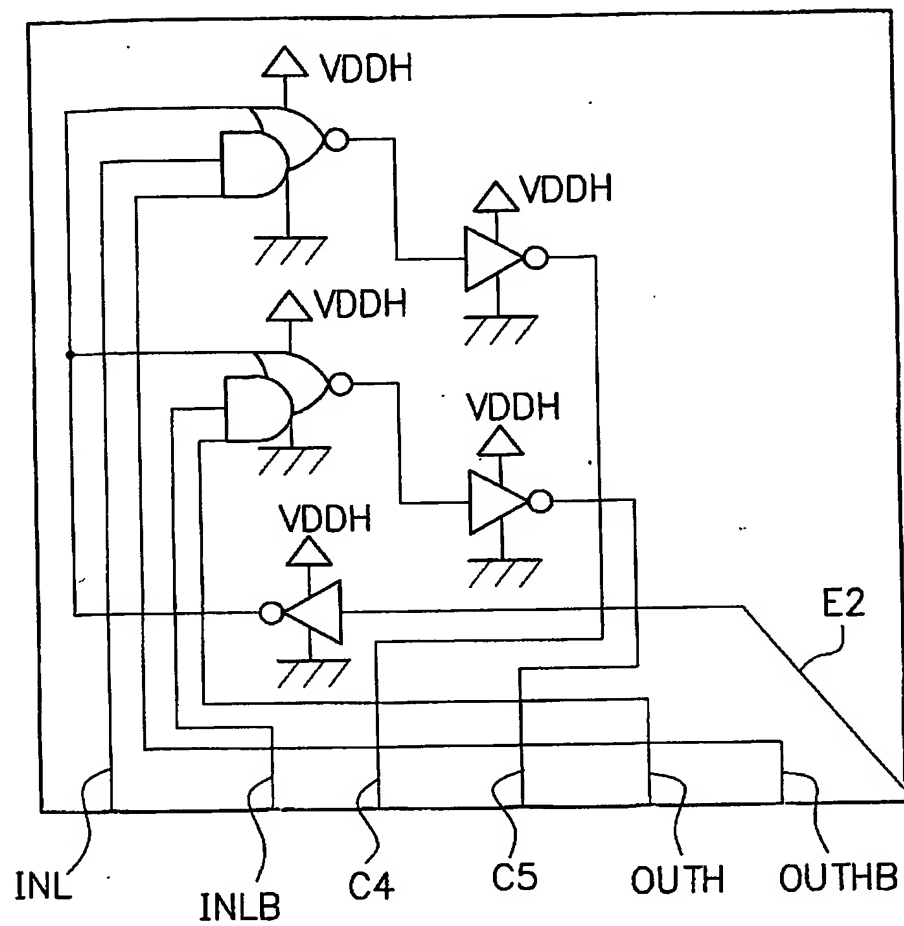
【図76】



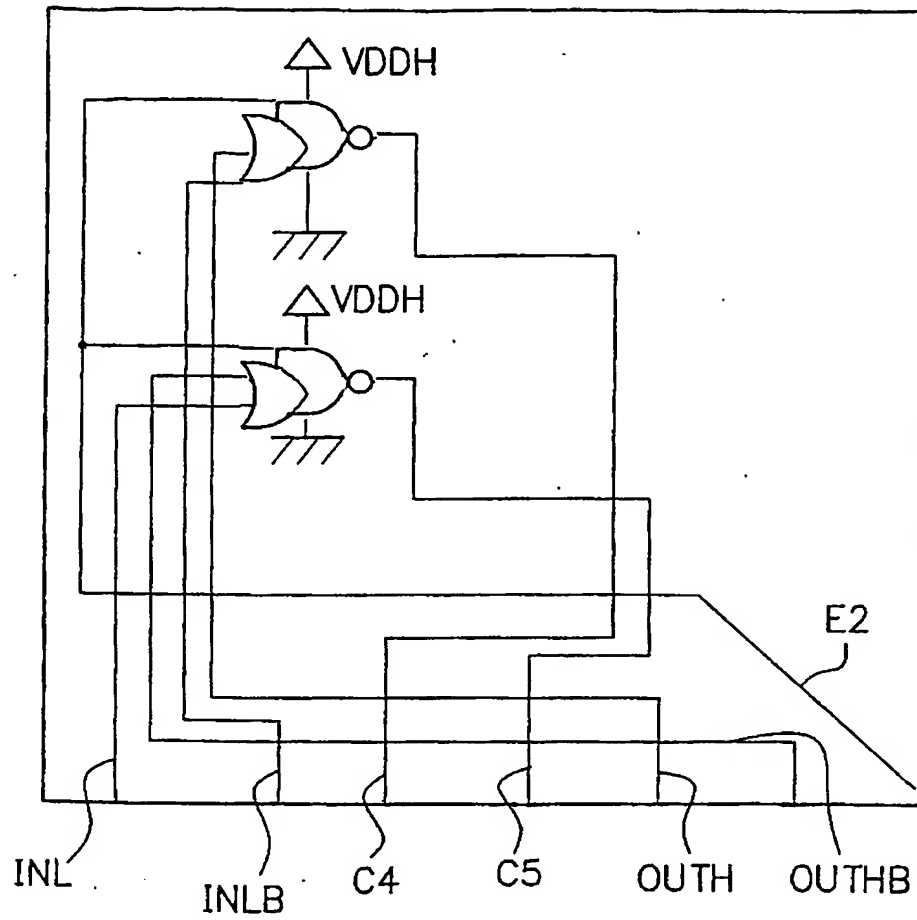
【図 77】



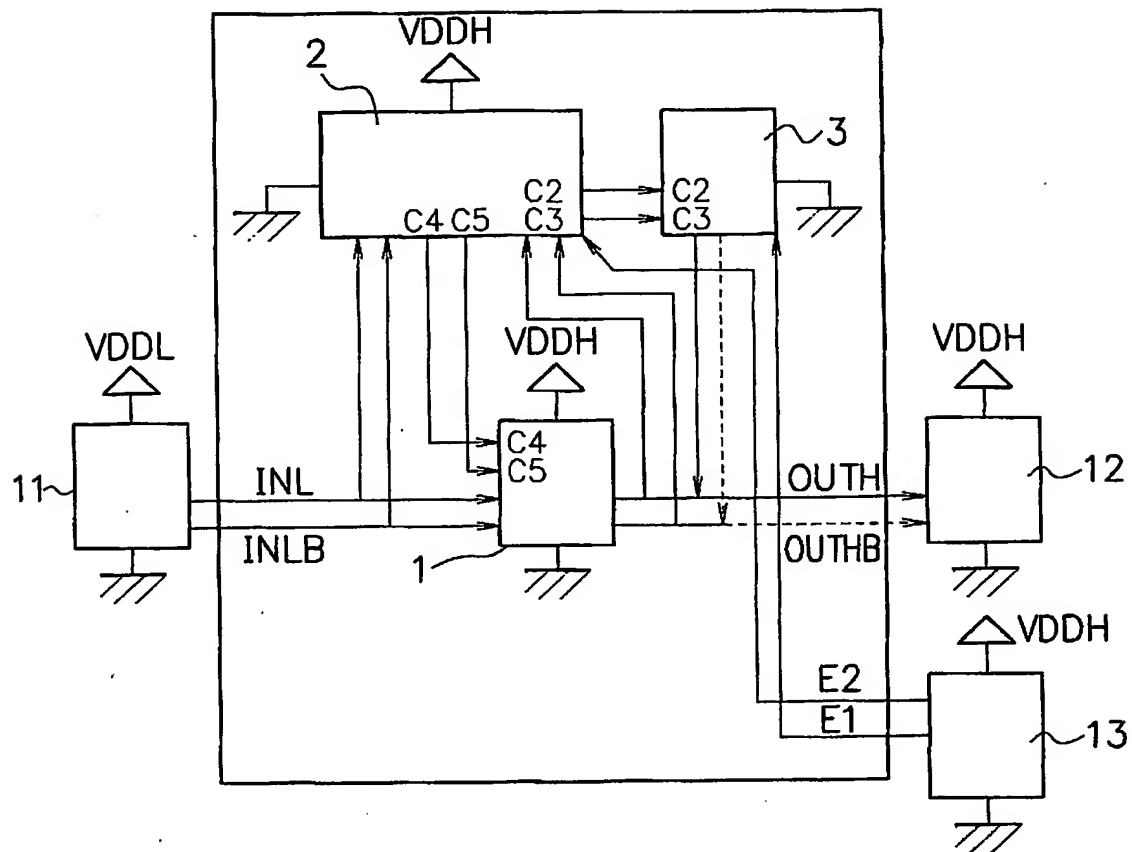
【図 78】



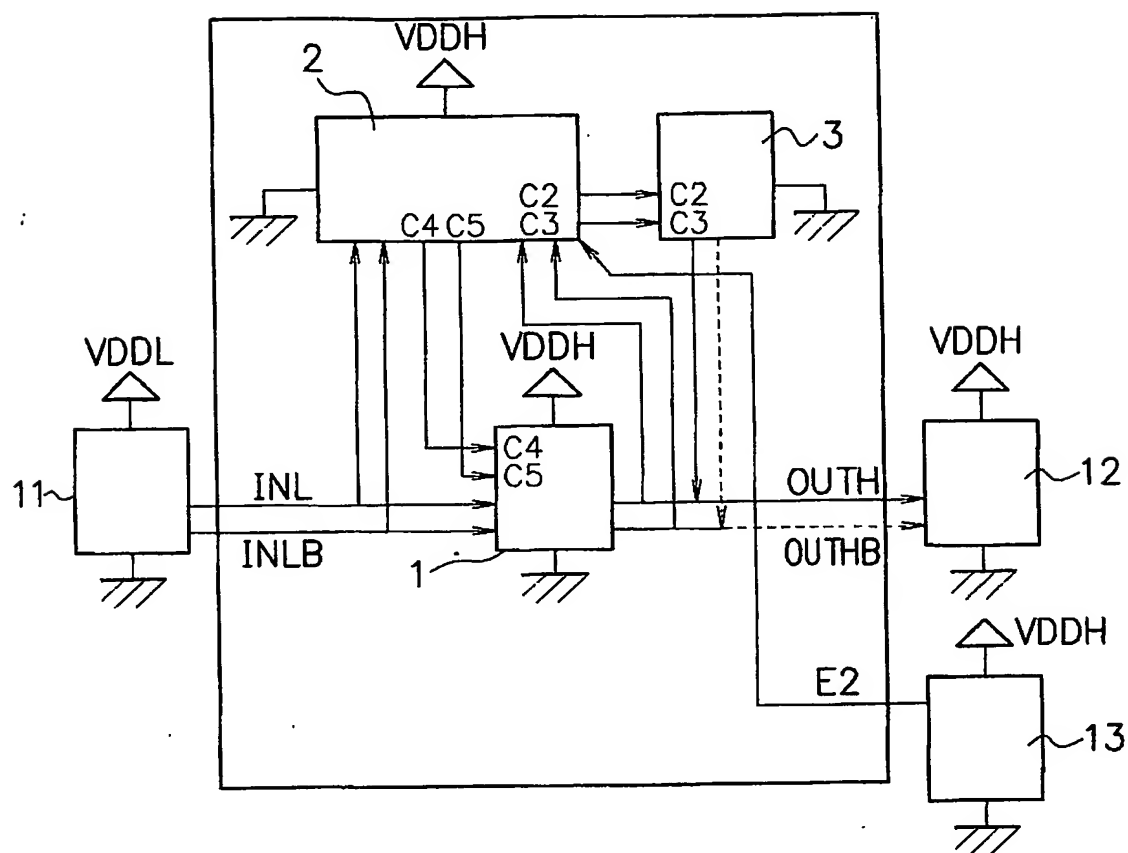
【図 79】



【図 80】

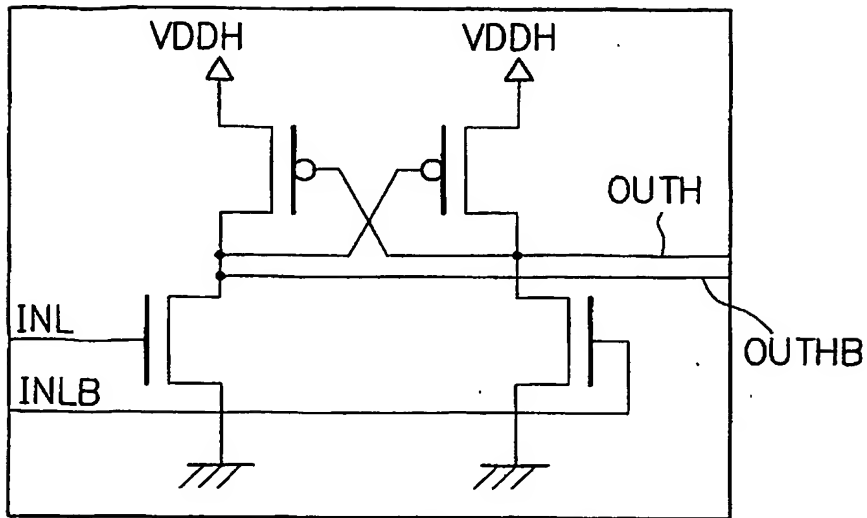


【図 8 1】

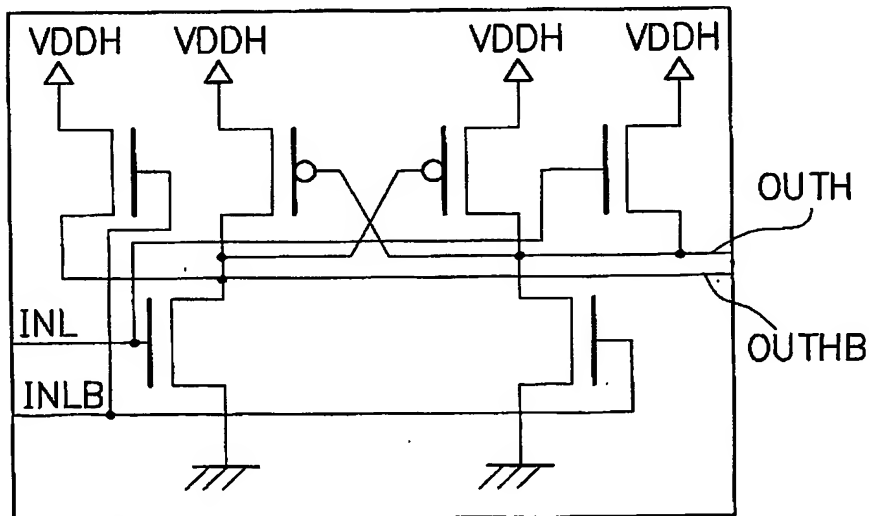




【図 8 3】

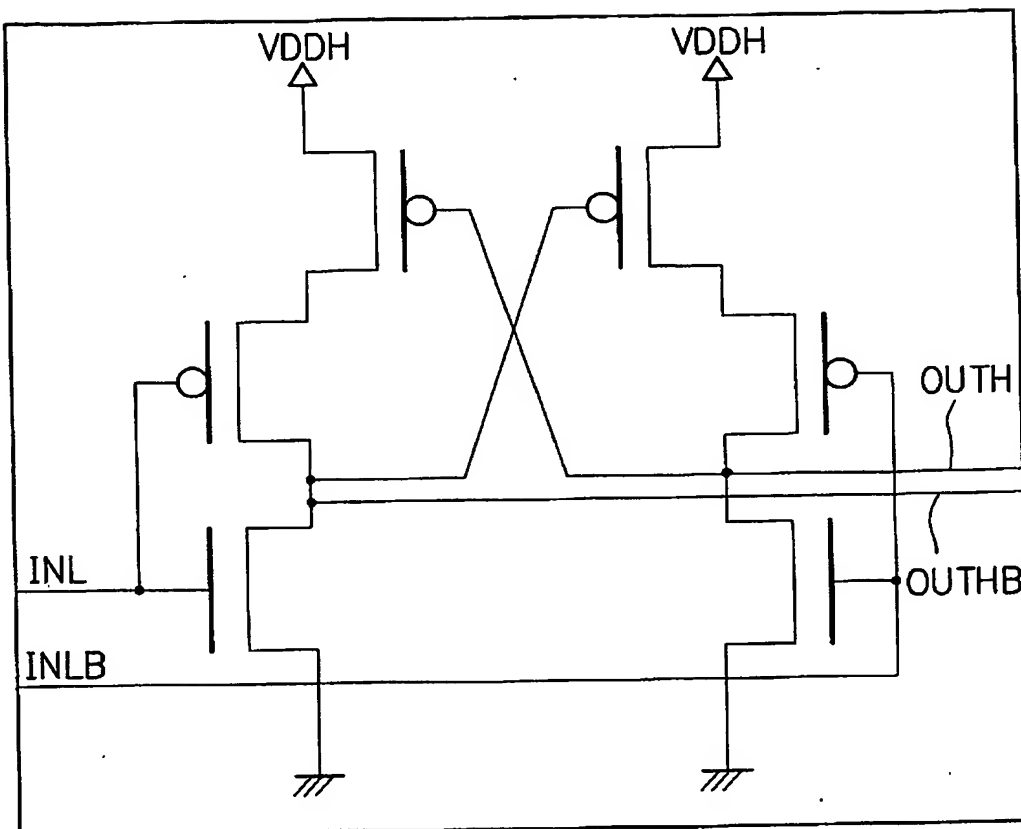


【図 8 4】





【図 85】



【書類名】 要約書

【要約】

【課題】 第 1 の電源を制御する場合の貫通電流と遅延の増加を低減したレベル変換回路を提供することにある。

【解決手段】 第 1 の電源が供給される第 1 の論理回路の信号レベルを第 2 の電源が供給される第 2 の論理回路の信号レベルに変換するというレベル変換回路において、レベル変換コア回路の GND 電源端子と GND 電源の間に第 1 の電源の制御に応じて制御信号を生成する第 3 の論理回路により制御されるスイッチ回路を配置し、前記レベル変換コア回路の出力に前記第 3 の論理回路により制御されるプルアップ／プルダウン回路を設けるという構成を設けた（した）ことを特徴とする。

【選択図】 図 1

特願 2002-319151

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社